

PRINCIPE DE FONCTIONNEMENT OPERATING MODE

A) PRÉSENTATION GÉNÉRALE DE L'APPAREIL

Bâti autour du microprocesseur 6809-E de MOTOROLA/EFCIS, cette unité centrale se distingue par l'utilisation d'une puissante unité de gestion et d'intégration : « LE GATE ARRAY MODE PAGE ».

a) LA PROGRAMMATION DU GATE MODE PAGE

Le GATE MODE PAGE contient 6 registres programmables (voir « REGISTRES GATE MODE PAGE » (page : 31)). Ces registres contiennent tous les renseignements dont le système a besoin et assurent une polyvalence de ce composant pour plusieurs produits, avec différents types de RAM.

b) L'INTÉGRATION

Le GATE MODE PAGE (IW10) intègre :

- le décodage des adresses,
- le traitement et le multiplexage des adresses RAM,
- la génération synchro,
- la gestion du crayon optique,
- la gestion vidéo, pilotant le GATE PALETTE (IW32) : 16 couleurs parmi 4096.

c) L'ACCÈS MODE PAGE

Ce nouveau mode d'adressage RAM, (2 lectures de la RAM vidéo pendant la phase non active : $E = 0$), permet de faire le chargement des 16 bits d'info-véo, dans la table de transcodage, en 2 fois et de travailler dans un seul boîtier RAM (RAM INT.)

d) LA TRANSFORMATION DES ADRESSES RAM

Permet l'utilisation des blocs mémoire à grande capacité, (4464, 41256...), par pages de 16 Ko, 8 Ko et d'assurer la polyvalence du GATE MODE PAGE, pour plusieurs produits, avec différents types de RAM.

e) 256 Ko RAM

- Répartis dans 8 boîtiers RAM de 256 K \times 1 bits (42256), couplés, afin d'obtenir virtuellement, 1 bloc RAM de 256 Ko : RAM INT (RAM interne).
- Possibilité de rajouter 256 Ko (boîtiers couplés) supplémentaires sur le connecteur extension RAM (BW13). Dans ce cas, on a virtuellement 2 blocs RAM de 256 Ko : RAM INT et RAM EXT (RAM extension). Soit une capacité maxi de 512 Ko.

f) 80 Ko ROM

- Répartis dans 3 boîtiers EPROM :
 - EPROM (IW16) (27256) : 32 Ko BASIC 512,
 - EPROM (IW15) (27256) : 32 Ko BASIC 1,
 - EPROM (IW17) (27128) : 16 Ko MONITEUR/CONTRÔLEUR DE DISQUE.

Les deux basics peuvent être masqués par une cartouche de programmes de 16 Ko enfichable sur le connecteur cartouche (BW02).

g) UN INTERFAÇAGE COMPLET

- Les PIA 6846 (IW29) et 6821 (IW25) assurent :
 - la commutation des banques mémoires EPROM,
 - la génération et la lecture des signaux du lecteur-enregistreur de programme (LEP),
 - la gestion du crayon optique,
 - la gestion du connecteur imprimante parallèle centronics,
 - le MUTE : règle les problèmes d'interférences provoquées par l'utilisation des manettes de jeu ou de la souris lors d'une impression. MUTE = 0 : validation de la sortie son du CNA, MUTE = 1 : inhibition,
 - la gestion du clavier (6846 et 6804).

A) GENERAL HARDWARE DESCRIPTION

The central processing unit is based around a MOTOROLA/EFCIS 6809-E microprocessor, and its design incorporates a performant GATE ARRAY MODE PAGE integration and handler unit.

a) PROGRAMMING THE GATE MODE PAGE

The GATE MODE PAGE includes six programmable registers (refer to GATE MODE PAGE REGISTERS : (page : 32)). These registers contain all data required by the system and ensure that the subsystem is compatible with the various types of RAM used in several systems.

b) INTEGRATION

The GATE MODE PAGE (IW10) incorporates :

- address decoding,
- processing and multiplexing of RAM addresses,
- synch generation,
- light pen control,
- video handling, driving the GATE PALETTE (IW32) of 16 colors out of 4096.

c) MODE PAGE ACCES

This new method of addressing RAM (two readouts of video RAM during the non-active phase i.e $E = 0$) allows 16 bits of video data to be loaded into the transcoding table in two phases, and to work within a single RAM package (RAM INT.).

d) TRANSFORMATION OF RAM ADDRESSES

This allows use of high capacity memory blocks (4464, 41256, etc.) in pages of 8 K and 16 K and ensures compatibility of the GATE MODE PAGE with the various types of RAM of several systems.

e) 256 Kb RAM

- This is divided into 8 RAM packages of 256 K by 1 bit (42256), linked in twos so as to provide 1 virtual RAM block of 256 Kb, called RAM INT (RAM internal).
- It is possible to add 256 Kb (8 linked packages) of supplementary memory on the RAM connector extension (BW13). This provides two virtual RAM blocks of 256 Kb called RAM INT and RAM EXT (RAM extension), giving a maxi capacity of 512 Kb.

f) 80 Kb ROM

- This is divided into 3 EPROM packages :
 - EPROM (IW16) (27256) : 32 Kb BASIC 512,
 - EPROM (IW15) (27256) : 32 Kb BASIC 1,
 - EPROM (IW17) (27128) : 16 Kb MONITOR/DISK CONTROLLER.

The two BASICs can be masked by a 16 Kb program cartridge which plugs into the cartridge connector (BW02).

g) COMPLETE INTERFACING

- The PIA 6846 (IW29) and 6821 (IW25) handle :
 - switching between the EPROM memory banks,
 - generation and readout of signals from the program recorder (PR),
 - the light pen,
 - the Centronics parallel printer connector,
 - the MUTE, which solves interference problems caused by the use of joysticks or the mouse during printing. MUTE = 0 : validation of the audio output of DAC, MUTE = 1 : inhibition,
 - the keyboard (6846 and 6804).

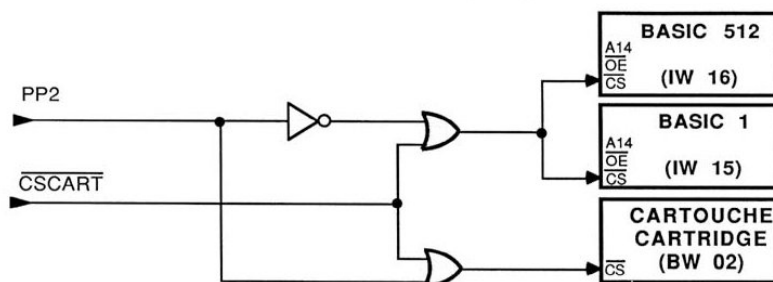
5

- Le PIA 6821 (IW26) gère : les manettes de jeu, la souris et la synthèse son (conversion numérique-analogique (CNA), d'un mot programmé sur PB0-PB5).
- CONNECTEUR EXTENSION UNIVERSEL.
- PRISES SCART (PÉRITEL) et SON (CINCH).
- CODEUR MODULATEUR PAL (modèles équipés).
- CONTRÔLEUR ET PRISE LECTEUR DE DISQUE.

B) DÉCODAGE D'ADRESSES ROM ET ENTRÉES/SORTIES

Le Gate Mode Page pilote :

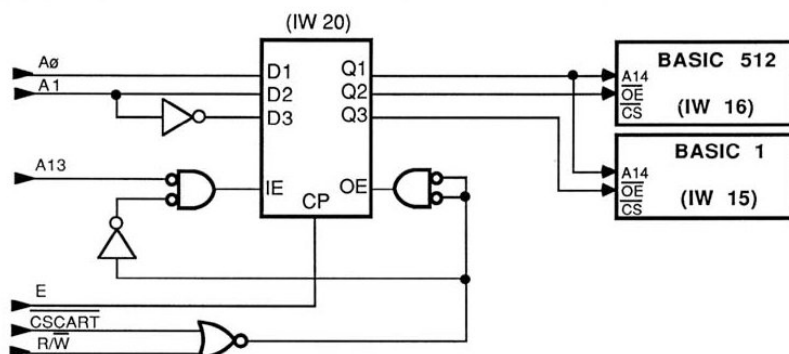
1) La sélection des boîtiers EPROM affectés à l'espace logique (0000-3FFF). Il envoie le signal CSCART, afin d'aiguiller cette sélection sur les 2 EPROM BASIC ou sur la cartouche de programme. Cet aiguillage est commandé par PP2 du PIA (IW 29) via une simple logique :



PP2 = 0 : Cartouche sélectionnée.
PP2 = 1 : EPROM BASIC 1 et EPROM BASIC 512 sélectionnées.

La commutation des banques de 16 Ko dans les 2 boîtiers EPROM de 32 Ko s'effectue sur A14. On programme une bascule « D » (contenue dans le registre 74LS173 (IW20)) par une écriture dans l'espace cartouche. C'est l'état du fil d'adresse de poids faible du microprocesseur, A0, qui est mémorisé par la bascule D1, grâce à cette écriture. Il est appliqué sur A14 des EPROM BASIC 1 et BASIC 512.

La sélection d'une des 2 EPROM s'effectue sur OE selon le même principe que précédemment : A1 est mémorisé par D2, il est envoyé sur OE de l'EPROM BASIC 512. A1 est mémorisé par D3, il est envoyé sur OE de l'EPROM BASIC 1.



Ecriture adresse paire (A0 = 0) :
A14 = 0 : partie basse EPROM adressée.
Ecriture adresse impaire (A0 = 1) :
A14 = 1 : partie haute EPROM adressée.

A1 = 0 : EPROM BASIC 512 sélectionnée.
A1 = 1 : EPROM BASIC 1 sélectionnée.

- The PIA 6821 (IW26) handles : the joysticks, the mouse and audio synthesis (digital/analog conversion or DAC), of a word programmed on PB0-PB5).
- GENERAL PURPOSE EXTENSION SOCKET.
- SCART (PERITEL) and AUDIO (CINCH) sockets.
- RF MODULATOR PAL (equipped types).
- CONTROLLER and DISK DRIVE SOCKET.

B) ROM AND INPUT/OUTPUT ADDRESS DECODING

The Gate Mode Page handles :

1) Selection of the EPROM packages used for the logic space (0000-3FFF). It sends the CSCART signal, in order to direct this selection towards either the 2 EPROM BASICs or the program cartridge. The choice is controlled by PP2 on the PIA (IW29) via a simple logic :

PP2 = 0 : Cartridge selected.
PP2 = 1 : EPROM BASIC 1 and EPROM BASIC 512 selected.

The switching of the 16 Kb banks in the two 32 Kb EPROM packages takes place on A14. A « D » flip-flop (contained in the 74LS173 register (IW20)) is programmed by writing it into the cartridge space. The state of the low significance address wire of the microprocessor, A0, is memorized by the D1 flip-flop as a result of this writing. It is applied on A14 of the BASIC 1 and BASIC 512 EPROMs.

The selection of one of the two EPROMs take place on OE following the same principle : A1 is memorized by D2 and sent on OE of the BASIC 512 EPROM. A1 is memorized by D3, and sent on OE of the BASIC 1 EPROM.

Even address writing (A0 = 0) :
A14 = 0 : lower part of EPROM addressed.
Odd address writing (A0 = 1) :
A14 = 1 : upper part of EPROM addressed.

A1 = 0 : BASIC 512 EPROM selected.
A1 = 1 : BASIC 1 EPROM selected.

2) La sélection de l'EPROM MONITEUR/CONTRÔLEUR (IW17). Il envoie le signal CSMON.

L'espace d'adressage alloué au moniteur est de 8 Ko. La taille nécessaire pour le moniteur/contrôleur étant de 16 Ko, une commutation de banque est à réaliser sur le fil d'adresse haute du boîtier EPROM (A13), pour accéder aux 8 Ko supplémentaires.

C'est le PIA 6846 (IW29) qui envoie par PP4, le signal de commutation de ces 2 banques.

PP4 = 0 : partie basse de la ROM accessible.
PP4 = 1 : partie haute de la ROM accessible.

3) La sélection des boîtiers Entrées/Sortie :

E7C0/E7CF : (E7CX) sélection des boîtiers PIA 6846 (IW29) et 6821 (IW25), (IW26).

E7D0/E7D9 : sélection du boîtier Contrôleur FLOPPY/QDD (IW24)

E7DA/E7D8 : (CSPAL) sélection du boîtier Palette (IW32).

E7DE/E7DF : non utilisé.

EXXX : sélection extension....

C) GESTION RAM

a) TRANSFORMATION DES ADRESSES

L'utilisation des boîtiers RAM à grande capacité conduit à opérer une transformation des adresses, afin de pouvoir accéder à tout l'espace adressable des boîtiers.

En effet, l'espace adressable des boîtiers (RAM INT, RAM EXT) (voir : A) e) est de 256 Ko (ADRESSES PHYSIQUES : de 0000 à 3FFFF), celui alloué dans la MAP MÉMOIRE est seulement de 40 Ko (ADRESSES LOGIQUES : de 4000 à DFFF).

Afin d'organiser la RAM et d'accéder dans celle-ci à tout son espace physique, on transforme les 3 bits de poids fort de l'adresse logique A15, A14, A13, et on crée 2 bits supplémentaires RA17 et MU8.

Les 3 bits transformés deviennent RA15, RA14, RA13 (voir synoptique) et sont fonction du bit forme (interne au bloc « TRANSFORMATION ADRESSES RAM »), du N° de banque désiré et de l'adresse demandée par le microprocesseur (adresse logique).

La création de 2 bits supplémentaires (RA17, MU8) est nécessaire pour travailler dans la RAM à des adresses physiques supérieures à FFFF, elle est directement fonction du N° de banque.

ADRESSES PHYSIQUES (envoyées sur MA0-MA8) PHYSICAL ADDRESS (sent on MA0-MA8)

RA17	MU8	RA15	RA14	RA13	A12	A11	A10	A9
MSB								

MU8 = A16 : (voir : C) d) POLYVALENCE)
(See : C) d) COMPATIBILITY)

Ainsi, par cette méthode entièrement transparente à l'utilisateur, la RAM est vue comme 32 pages de 16 Ko (avec 512 Ko) ou 16 pages de 16 Ko (avec 256 Ko).

On accède aux pages supérieures en programmant le N° de banque désiré dans E7E5. Ce registre a une influence directe sur la transformation des adresses.

2) The selection of the MONITOR/CONTROLLER EPROM (IW17). It sends the CSMON signal.

The addressing space allocated to the monitor is 8 Kb. As the size necessary for the monitor/controller is 16 Kb, a bank switching has to be carried out on the high address wire of the EPROM package (A13), to access the extra 8 Kb.

The PIA 6846 (IW29) sends the switching signal of these two banks through PP4.

PP4 = 0 : lower part of ROM accessible.
PP4 = 1 : upper part of ROM accessible.

3) Selection of the INPUT/OUTPUT packages :

E7C0/E7CF : (E7CX) selection of the PIA 6846 (IW29) and 6821 (IW25), (IW26) packages.

E7D0/E7D9 : selection of the FLOPPY/QDD Controller package (IW24)

E7DA/E7D8 : (CSPAL) selection of the Palette package (IW32).

E7DE/E7DF : no used.

EXXX : extension selection....

C) RAM MANAGEMENT

a) ADDRESS TRANSFORMATION

The use of high capacity RAM packages has led to address transformation in order to have access to the full addressable area of packages.

The addressable area of packages (RAM INT, RAM EXT) (refer to A) e) is in fact 256 Kb (PHYSICAL ADDRESSES from 0000 to 3FFF), whereas that allocated in the memory map is only 40 Kb (LOGICAL ADDRESSES from 4000 to DFFF).

In order to organise RAM and provide access to its entire physical space, the three most significant bits of the logical address A15, A14 and A13 are transformed, and 2 extra bits, RA17 and MU8, are created. The 3 transformed bits become RA15, RA14 and RA13 (see block diagram) and are dependent on the form bit (within the RAM ADDRESS TRANSFORMATION block) from the required bank number and the address requested by the microprocessor (logical address).

The creation of 2 extra bits (RA17, MU8) is necessary to work in the RAM at physical addresses higher than FFFF ; it is directly dependent on the bank number.

A8	A7	A6	A5	A4	A3	A2	A1	A0
LSB								

Thus RAM is perceived as 32 pages (with 512 Kb), or 16 pages (with 256 Kb) by virtue of this method which is completely transparent to the user.

The top pages are accessed by programming the bank required in E7E5. This register has a direct influence on the transformation of addresses.

