

RÉPUBLIQUE FRANÇAISE
—
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

—
PARIS
—

⑪ N° de publication :
(A n'utiliser que pour les
commandes de reproduction).

2 477 745

A1

**DEMANDE
DE BREVET D'INVENTION**

⑫

N° 80 04839

⑤④ Dispositif d'affichage graphique en couleurs.

⑤① Classification internationale (Int. Cl.³). G 09 G 1/28.

②② Date de dépôt..... 4 mars 1980.

③③ ③② ③① Priorité revendiquée :

④① Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 37 du 11-9-1981.

⑦① Déposant : THOMSON-BRANDT, société anonyme, résidant en France.

⑦② Invention de : José Henrard et Michel Leduc.

⑦③ Titulaire : *Idem* ⑦①

⑦④ Mandataire : Michel Pierre, Thomson-CSF, SCPI,
173, bd Haussmann, 75360 Paris Cedex 08.

La présente invention a pour objet un dispositif d'affichage graphique en couleurs sur l'écran d'un tube cathodique, utilisant une capacité de mémoire réduite par rapport à ce qui est habituellement utilisé.

5 Dans un certain nombre d'applications où le coût du dispositif est important, notamment les applications destinées à une grande diffusion commerciale comme l'affichage utilisant des récepteurs de télévision domestiques, l'affichage en couleurs se heurte au problème du rafraîchissement de l'information visualisée : en effet, 10 lorsque les informations affichées ont une vitesse de renouvellement très inférieure à la vitesse de l'affichage, le dispositif doit comprendre des moyens de mémorisation, sous peine de perte de l'information affichée, et le coût de ces moyens de mémorisation est très élevé par rapport au coût des autres composants électroniques 15 constituant le dispositif d'affichage, en dehors du tube cathodique lui-même. Pour réaliser cette mémorisation, la solution la plus simple est d'associer à chaque point de l'écran un bit d'une mémoire donnant une information du type noir ou blanc ou plusieurs bits donnant l'information de couleur de ce point : par exemple, si on 20 désire réaliser un affichage à 16 couleurs, il est nécessaire de disposer de quatre bits ($2^4 = 16$) pour coder l'information de couleur de chaque point de l'écran. Cette solution est très onéreuse en capacité mémoire : à titre d'exemple, pour obtenir une visualisation en 16 couleurs sur un écran comportant 256×256 points, il est 25 nécessaire d'avoir au total une mémoire de capacité égale à 4 fois 64 K bits ou, plus généralement, pour un affichage en 2^n couleurs, $n \times 64 \text{ K bits}$.

Pour résoudre ce problème de capacité de mémoire, plusieurs solutions ont été essayées, parmi lesquelles les deux plus connues 30 sont :

- le procédé d'affichage dit semi-graphique, qui consiste à regrouper

les points de l'écran en pavés, par exemple de 8 x 8 points, l'information noir et blanc et l'information de couleur étant valables pour le pavé entier. Ce procédé permet de réduire la capacité de mémoire nécessaire mais évidemment au détriment de la définition, qui dépend alors de la dimension retenue pour les pavés ;

- une deuxième solution qui consiste à donner à l'utilisateur la possibilité de choisir entre plusieurs régimes de fonctionnement : les régimes extrêmes sont caractérisés, le premier, par une gestion de l'écran point par point avec une gamme de couleurs très limitée et, le second, par une gestion de l'écran par pavé avec une gamme de couleurs maximale ; il est ainsi possible de passer d'un fonctionnement de type graphique à un fonctionnement semi-graphique. Les inconvénients majeurs de ce procédé sont de compliquer la réalisation et de limiter fortement le nombre de couleurs disponibles dans l'utilisation de type graphique.

La présente invention a pour objet un dispositif permettant de réaliser un affichage graphique en couleurs sur un écran d'un tube cathodique en évitant les inconvénients précédents. Plus précisément, ce dispositif comporte principalement deux mémoires, appelées respectivement mémoire points et mémoire couleurs ; à chaque point de l'écran correspond un bit de la mémoire points, permettant de lui affecter une parmi deux couleurs, appelées respectivement couleur de fond et couleur de forme ; la mémoire des couleurs contient pour chaque groupe prédéterminé de n points de l'écran, un double mot de m bits, donnant les informations de couleur, couleur de fond et couleur de forme, pour le groupe de points considéré. Le dispositif comporte en outre des moyens assurant l'inscription en mémoire des données correspondant aux différents points ainsi que des moyens de lecture de ces mémoires, synchronisés avec le balayage en trame de l'écran.

D'autres objets, caractéristiques et résultats de l'invention ressortiront de la description suivante, donnée à titre d'exemple et illustrée par les dessins annexés qui représentent :

- la figure 1, un schéma illustrant la correspondance entre les points

- de l'écran et les bits des mémoires points et couleurs ;
- la figure 2, le schéma d'un mode de réalisation du dispositif selon l'invention ;
 - la figure 3, le détail d'une partie de la figure précédente.

5 Sur la figure 1, on a donc représenté un écran E d'un tube cathodique, comportant L lignes d'affichage, chacune d'elles comportant M points, soit au total L x M points. A l'heure actuelle, il est courant d'utiliser des écrans représentant environ 64 000 points
10 d'affichage répartis en 25 lignes de 40 caractères, chacun des caractères étant constitué par 8 lignes de 8 points chacune. Sur l'écran E de la figure 1, il a été isolé un groupe de \underline{n} points, repéré globalement 11.

Sur cette figure sont également représentées une mémoire appelée mémoire points et repérée M_P et une seconde mémoire, repérée M_C et appelée mémoire couleurs. A chacun des points de
15 l'écran E correspond un bit dans la mémoire M_P ; en particulier, aux \underline{n} points 11 de l'écran E correspond dans la mémoire M_P un mot repéré 12, comportant \underline{n} bits. Pour des raisons de commodité, il est avantageux de choisir $n = 8$, auquel cas le mot 12 est un octet.
20 Chacun des bits du mot 12 affecte à chacun des points correspondants de l'écran E une couleur parmi deux couleurs, appelées couleur de fond et couleur de forme.

Au même groupe 11 de \underline{n} points de l'écran E correspond dans la mémoire couleurs M_C deux mots, repérés 13 et 14, de $\frac{m}{2}$ bits
25 chacun, qui indiquent respectivement la couleur de forme et la couleur de fond du groupe 11 précédent, ces couleurs étant choisies parmi $2^{m/2}$ couleurs différentes. A titre d'exemple, si l'on choisit pour l'affichage les huit combinaisons des trois couleurs primaires classiques rouge, vert et bleu, $\frac{m}{2}$ est égal à 3 et le double mot de la
30 mémoire M_C affecté à chaque groupe 11 a une longueur totale de 6 bits. A ces trois couleurs primaires classiques, si l'on ajoute une commande de demi-teinte permettant de multiplier le nombre de couleurs total par 2, on a $\frac{m}{2} = 4$ et le double mot de la mémoire M_C a alors la longueur totale d'un octet.

Si l'on considère l'exemple précédemment donné d'environ 64 000 points d'affichage pour l'écran E, la mémoire M_P doit alors avoir une capacité de 64 K bits et la mémoire M_C une capacité de 56 K bits dans le cas de 8 couleurs, ou de 64 K bits dans le cas de 16 couleurs. Il apparaît clairement sur cet exemple la réduction de la capacité de mémoire nécessaire au dispositif selon l'invention : en effet, dans un dispositif d'affichage de type graphique classique, avec le même exemple numérique en 16 couleurs, il serait nécessaire de disposer de quatre pages de mémoires de 64 K bits chacune, et non seulement de deux.

Cette réduction de capacité de mémoire n'est donc pas opérée au détriment de la définition de l'information affichée, puisque les différents points du même groupe 11 peuvent prendre indépendamment les uns des autres la couleur fond ou la couleur forme ; la seule limitation introduite par le dispositif selon l'invention intervient au niveau de la palette des couleurs possibles pour les points d'un même groupe 11, qui ne comprend que deux couleurs ; toutefois, l'expérience montre que cette limitation n'est pratiquement pas perçue par l'observateur lorsque le nombre n de points par groupe est suffisamment petit.

La figure 2 est le schéma d'un mode de réalisation du dispositif selon l'invention.

Sur cette figure, on retrouve les deux mémoires M_P et M_C , qui sont des mémoires vives du type RAM dont la capacité est égale à $8 K \times n$ bits pour la première et $8 K \times m$ bits pour la seconde, dans le cas de l'exemple précédent où l'écran comporte environ 64 000 points d'affichage en 16 couleurs. Une unité arithmétique et logique P reçoit les données à mémoriser, c'est-à-dire la couleur et les coordonnées des points, par un bus de données D, susceptible de transmettre en parallèle un nombre de bits égal au plus grand des deux nombres n ou m . Sur cette figure comme sur les suivantes, les connexions susceptibles de transmettre plusieurs bits en parallèle sont représentées en traits épais. De façon classique, l'unité P fournit sous la commande d'une horloge H, assurant la synchronisa-

tion de l'ensemble du dispositif : les données à mémoriser, les adresses A_P où doivent être inscrites ou lues les données, et un ordre RW d'écriture ou de lecture aux mémoires. L'unité P est de préférence constituée par un microprocesseur de n bits, si $n \geq m$.

5 Afin de réaliser périodiquement la lecture des mémoires pour assurer le rafraîchissement de l'information affichée sur l'écran E, le dispositif comporte encore notamment un circuit logique L ayant pour fonction, sous commande de l'horloge H, de fournir à des instants prédéfinis, synchronisés avec le balayage en trames de l'écran, aux mémoires M_P et M_C les adresses des informations à lire pour affichage sur l'écran. Ce circuit est par exemple constitué par des compteurs, comptant les périodes de l'horloge H afin d'engendrer les adresses successives des données en mémoire et de fournir un signal de synchronisation de ligne et un signal de synchronisation de trame.

15 Pendant une durée T, égale au temps d'affichage d'un groupe de n points (3 points dans l'exemple précédent), les mémoires doivent partager leur temps entre au moins un accès de l'unité P et une lecture pour affichage sur l'écran.

20 Afin d'éviter les conflits d'accès aux mémoires, le dispositif comporte encore un multiplexeur M_X et un inhibiteur I_P . Le multiplexeur M_X reçoit d'une part l'adresse A_P fournie par l'unité P et d'autre part une adresse A_L fournie par le circuit logique L. Ces différentes adresses sont transmises en parallèle ; dans l'exemple précédent où l'on considère un écran de 64 000 points avec $n = 3$, les adresses sont donc codées sur 13 bits. L'élément M_X multiplexe les adresses A_P et A_L , sous la commande de l'horloge H, c'est-à-dire qu'un signal de période T autorise alternativement l'accès de l'unité P et du circuit L, et fournit une adresse A qu'il transmet aux mémoires. Par ailleurs, l'unité P fournit un ordre d'écriture ou de lecture RW à l'inhibiteur I_P , qui reçoit par ailleurs un signal du multiplexeur M_X . L'élément I_P a pour fonction d'interdire l'écriture par l'unité P lorsque le multiplexeur M_X autorise le passage de l'adresse A_L ($A = A_L$). L'inhibiteur I_P peut être réalisé simplement à

l'aide d'une porte logique ET, interdisant l'écriture en mémoire lorsque le multiplexeur autorise la lecture.

5 La période T étant déterminée par les temps d'affichage sur l'écran, il apparaît la possibilité d'optimiser le choix de l'unité P et des mémoires quant aux paramètres rapidité-prix de revient, du fait que pendant la durée T, une seule lecture des mémoires pour affichage et, en général, un seul accès de l'unité P sont nécessaires. En particulier, dans le cas où, par construction, l'unité P ne peut échanger des informations avec l'extérieur que pendant une partie 10 de la période T, ce qui est par exemple le cas lorsque l'unité P est réalisée par un microprocesseur du type 6 800 produit par la Société MOTOROLA, il est possible de synchroniser la lecture des mémoires pour l'affichage de sorte qu'elle soit transparente pour l'unité P (technique connue sous le nom de DMA transparent, DMA étant les initiales de l'expression anglaise Direct Memory Acces). 15

Par ailleurs, les deux mémoires M_P et M_C sont organisées de telle sorte que les mots mémoires concernant le même groupe de points sur l'écran soient situés à la même adresse dans les deux mémoires, ce qui permet de limiter l'espace consacré aux adresses 20 dans l'unité P et de réaliser simplement la lecture à destination de l'écran en parallèle dans les deux mémoires, du fait que les deux mots considérés se trouvent à la même adresse. Toutefois, il est nécessaire de distinguer les mémoires lors d'une opération de lecture ou d'écriture par l'unité P : cela est réalisé à l'aide de deux bits de commande, CSP et CSC, autorisant ou interdisant l'accès aux 25 mémoires M_P et M_C respectivement.

D'autres solutions sont bien entendu possibles pour l'organisation de la lecture et de l'écriture dans les mémoires de deux mots se rapportant à un même groupe de points de l'écran, notamment celle 30 consistant à utiliser pour l'unité P un microprocesseur n+m bits soit, dans l'exemple donné ci-dessus où $m = n = 8$ bits, un microprocesseur traitant des mots de 16 bits, venant s'inscrire par moitié dans les mémoires M_P et M_C respectivement. Cette solution présente toutefois un inconvénient sur le plan du prix de revient, un micropro-

cesseur 16 bits étant plus onéreux qu'un microprocesseur 8 bits accompagné de quelques circuits logiques destinés à distinguer les mémoires.

5 Une autre solution consiste à utiliser un double système d'adressage des mémoires : pour l'unité P, les adresses des informations correspondant à un même groupe de points dans les deux mémoires sont différentes, mais ne diffèrent que de la valeur du bit de poids le plus fort. En faisant, lors de la lecture des mémoires à destination de l'écran, abstraction de ce bit de poids fort, on se
10 retrouve dans le cas précédent d'une lecture en parallèle dans deux mémoires d'informations qui paraissent à la même adresse. L'avantage de cette solution est de permettre l'utilisation d'un microprocesseur 8 bits (dans l'exemple précédent où $m = n = 8$), et son inconvénient en est de nécessiter un plus grand espace pour la
15 gestion des adresses dans l'unité P.

La mémoire M_P est reliée en parallèle sur n bits au bus de données D et reçoit les données sur n entrées repérées globalement DIN ; cette mémoire fournit les données lues en parallèle sur une
20 sortie DOUT vers d'une part le bus des données, par l'intermédiaire d'un second inhibiteur repéré I_M , et d'autre part vers un circuit A assurant, sous la commande de l'horloge H, la lecture et le décodage des informations à destination de l'écran E. De façon analogue, la mémoire M_C reçoit les données en parallèle sur m entrées, repérées globalement DIN et fournit les données lues en parallèle sur m
25 sorties repérées DOUT, à destination d'une part de l'inhibiteur I_M et d'autre part du circuit A.

Le circuit A comporte par exemple trois sorties à destination de l'écran E, correspondant aux trois couleurs primaires de l'affichage télévision (bleu, rouge, vert), plus, éventuellement, la commande de demi-teinte. Ce circuit est décrit plus en détails figure 3.
30

L'inhibiteur I_M a pour fonction d'éviter les conflits d'accès des deux mémoires au bus des données D ; il peut être constitué par exemple de deux registres tampons recevant respectivement les informations en provenance de la mémoire M_P et de la mémoire

M_C , et délivrant, sous commande de l'horloge H, les informations qu'ils contiennent à tour de rôle sur le bus D.

La figure 3 représente un mode de réalisation du circuit de lecture A de la figure 2.

5 Ce circuit A comporte un registre tampon T, recevant les informations en parallèle en provenance de la mémoire M_C et les fournissant à un multiplexeur M_{XA} , en parallèle également ; le circuit A comporte encore un sérialisateur S, qui est par exemple constitué simplement par un registre à décalage, recevant en
10 parallèle les informations en provenance de la mémoire M_P et les fournissant en série au multiplexeur M_{XA} . De plus, le circuit A reçoit de l'horloge H de la figure 2 des signaux distincts, un premier noté F_P qui correspond à la fréquence d'affichage des points sur l'écran et qui est fourni au sérialisateur S, et un second noté L_D qui
15 commande le chargement des données à la fois dans le sérialisateur S et dans le registre tampon T.

Le circuit de lecture A fonctionne de la façon suivante.

Sur commande du signal L_D , le sérialisateur S et le registre T sont chargés respectivement par un mot de la mémoire M_P et de la
20 mémoire M_C . Le sérialisateur S transmet au multiplexeur M_{XA} ce mot bit à bit sous la commande du signal F_P . Le multiplexeur M_{XA} contient les deux demi-mots qui lui ont été transmis par le registre T et qui contiennent le codage des couleurs de fond et de forme des points de l'écran, correspondant aux bits que ce même multiplexeur
25 reçoit l'un après l'autre en provenance du sérialisateur S. La valeur de chacun des bits désigne le demi-mot à sélectionner pour le point considéré : le demi-mot représentant la couleur de fond ou le demi-mot représentant la couleur de forme ; le multiplexeur adresse en conséquence à l'écran le codage des couleurs correspondant aux
30 points en cours d'affichage.

REVENDEICATIONS

1. Dispositif d'affichage graphique en couleurs sur l'écran d'un tube cathodique, caractérisé par le fait qu'il comporte :

- 5 - une première mémoire (M_P), appelée mémoire points, dans laquelle à chacun des points de l'écran correspond un bit, permettant d'affecter à ce point une parmi deux couleurs, dites respectivement couleur fond et couleur forme ;
- 10 - une seconde mémoire (M_C), appelée mémoire couleurs, contenant, l'écran étant divisé en groupes de n points, pour chacun de ces groupes, un mot de m bits permettant d'affecter à ce groupe deux parmi $2^{m/2}$ couleurs, constituant l'une la couleur fond et l'autre la couleur forme ;
- 15 - des premiers moyens (P) assurant l'inscription dans les mémoires précédentes des données correspondant aux différents points ;
- des seconds moyens assurant la lecture (A) des mémoires, en synchronisme avec le balayage de l'écran.

2. Dispositif selon la revendication 1, caractérisé par le fait que les données correspondant aux mêmes groupes de points sont situées dans les deux mémoires (M_P , M_C) aux mêmes adresses.

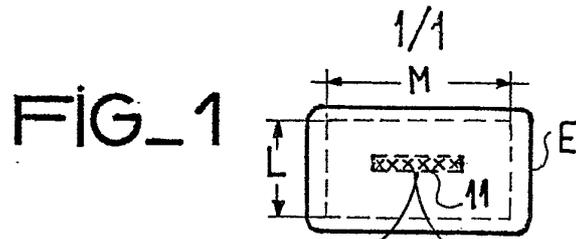
- 20 3. Dispositif selon l'une des revendications précédentes, caractérisé par le fait qu'il comporte de plus un circuit logique (L) assurant successivement, sur commande d'une horloge (H), la génération des adresses dans les mémoires (M_P , M_C) où doivent être lues les données relatives aux différents points de l'écran (E) et destinées au tube cathodique, et un multiplexeur (M_M), assurant sur commande de l'horloge (H), l'envoi aux mémoires (M_P , M_C) soit de l'adresse engendrée par le circuit logique (L), soit de l'adresse engendrée par les premiers moyens (P).

- 25 4. Dispositif selon l'une des revendications précédentes, caractérisé par le fait que le circuit de lecture (A) comporte :
- 30 - un sérialisateur (S), recevant, sur commande d'une horloge (H), en parallèle tous les bits contenus dans la mémoire points (M_P) relatifs à un même groupe ;

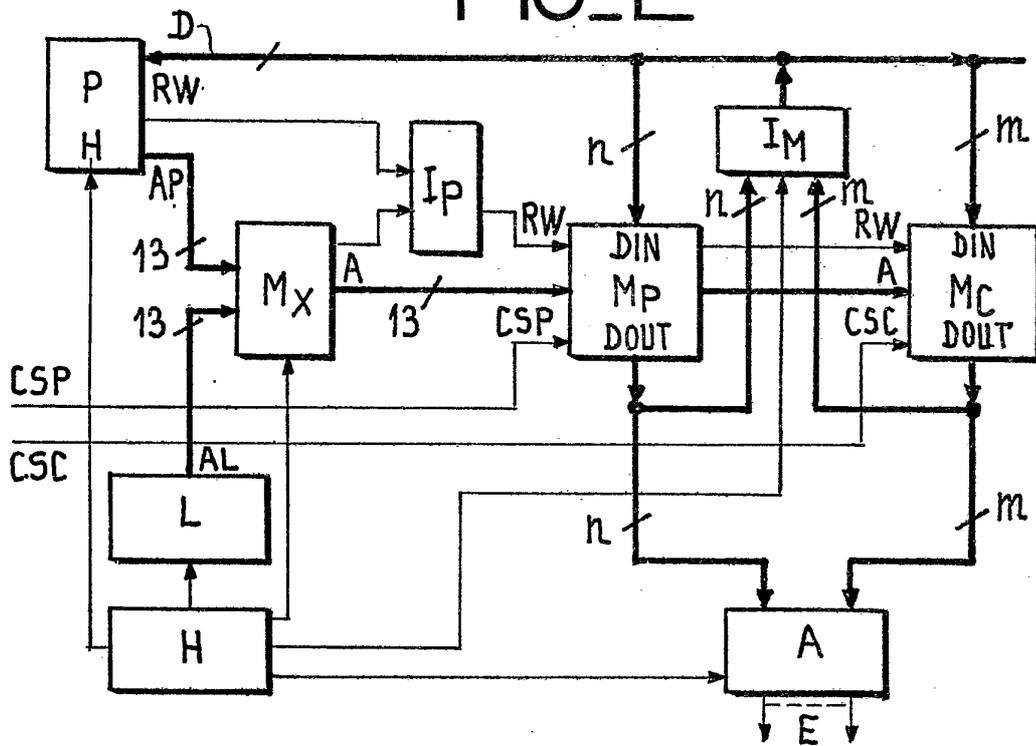
- un registre tampon (T), recevant, sur commande de l'horloge (H), en parallèle le mot contenu dans la mémoire couleurs (M_C) et relatif au même groupe ;

5 - un multiplexeur (M_{XA}) recevant d'une part, en série, chacun des bits de la mémoire points (M_P) et, d'autre part, en parallèle, l'indication des couleurs fond et forme du registre tampon (T), et fournissant au tube cathodique pour chaque point l'indication de sa couleur.

10 5. Dispositif selon l'une des revendications précédentes, caractérisé par le fait que les premiers moyens (P) ne réalisent de lectures ou écritures dans les deux mémoires que pendant une partie du temps (T) d'affichage d'un groupe de \underline{n} points, et que les seconds moyens ne réalisent de lectures dans les deux mémoires que pendant l'autre partie de ce temps (T) d'affichage.



FIG_2



FIG_3

