

Deuxième partie

Analyse matérielle du TO9

1. Analyse générale

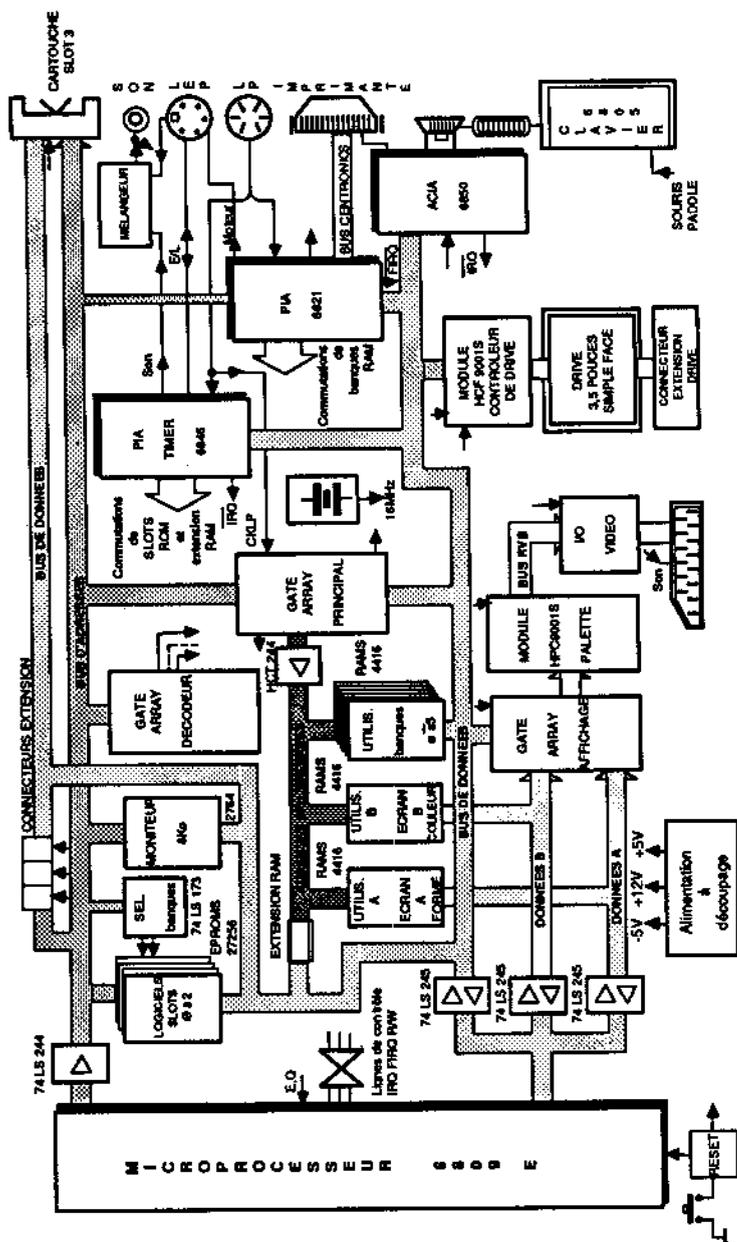


Figure 1. Synoptique de l'unité centrale TO9

Conception générale

Le micro-ordinateur TO9 est conçu autour d'un microprocesseur 6809 E, 8 bits recevant deux signaux d'horloge en quadrature (E et Q) à 1 MHz. Le bus d'adresses 16 bits bufferisé par des 74 LS 244 permet l'accès aux différentes mémoires et registres. Le bus de données 8 bits se répartit en trois groupes :

- Un bus de données principal 8 bits bufferisé et sélectionné par un 74 LS 245, permettant les principaux échanges.

- Deux bus de données A et B de 8 bits, bufferisés et sélectionnés chacun par deux autres 74 LS 245 et permettant les transferts d'informations avec les deux groupes de RAMS, partie A, partie B.

Les lignes de contrôle sont constituées par les commandes de lecture-écriture (R/WN) des mémoires vives et de divers registres, ainsi que par les demandes d'interruption concernant le clignotement du curseur, le fonctionnement du clavier et du crayon optique (IRQN, FIRQN).

Un circuit de RESET en relation avec le 6809 E et différents registres permet la réinitialisation de la machine.

Les 6 Ko de logiciel de base, ou moniteur système, sont logés dans une EPROM 8 Ko 2764. Une partie des 2 Ko restant sert de moniteur au lecteur de disquettes.

Les 128 Ko de logiciels d'application résidents sont logés dans quatre EPROMS 32 Ko 27256, répartis en trois slots (0 à 2) de deux ou quatre banques.

La commutation des banques s'effectue en programmation par écriture d'adresses dans un LATCH 74 LS 173. Les slots sont eux-mêmes sélectionnés par deux bits de PIA en provenance du 6846.

La cartouche de logiciel d'application externe représente, en relation avec les bus de données, d'adresses et les lignes de contrôle, le slot numéro 3.

Les 128 Ko de mémoire vive répartis en huit groupes de deux 4416 (reconstitution des datas 8 bits) définissent la mémoire écran et utilisateur partie A, la mémoire écran et utilisateur partie B, ainsi que les six banques de RAM utilisateur. Chaque banque est commutée d'une façon logicielle, à partir de trois bits de PIA en provenance du 6821. L'extension mémoire est composée de quatre autres banques commutées par deux bits du PIA 6846 en association avec le 6821. Les 4416 étant des mémoires dynamiques, leur adressage ne provient pas en direct du 6809 E mais passe par un bus procurant un adressage multiplexé. Ce bus est bufferisé par un HCT244.

En dehors du microprocesseur, l'unité centrale est commandée par un gate array principal permettant, via le bus d'adresses multiplexées, le rafraîchissement des

mémoires et de l'écran pendant la phase non active du 6809 E (technique de DMA). Attaqué par une horloge mère de 16 MHz, le circuit délivre les différents signaux d'horloge et de commande du téléviseur. Il assure aussi la gestion du crayon optique (LP).

Un deuxième gate array conçoit les différents décodages d'adresses inhérents à la machine. Le troisième gate array détermine, en relation avec le codage logiciel des RAMS écran partie A et partie B, les huit modes d'affichage. Ce circuit est programmable par le bus de données principal. Il reçoit les 16 bits d'informations des mémoires vives écran par les bus de données A et B.

Le module palette, programmable par le 6809 E en relation avec le bus de données 6809, permet, sous la dépendance du mode d'affichage considéré, un choix maximum de seize teintes parmi 4 096, pour la fenêtre écran et pour le tour ou cadre. Il délivre trois informations B, V, R reprises et adaptées par les circuits d'interfaçage vidéo comprenant, entre autres, le dispositif d'incrustation. Ces circuits, recevant des signaux de synchronisation et de blanking en provenance du gate array système, fournissent les tensions nécessaires, avec des impédances respectant les normes SCART, pour la prise Péritel. Une vidéo composite est reconstituée en sortie.

Le 6846 assure par son timer le clignotement du curseur (demandes IRQN) ou l'envoi codé des informations numériques à enregistrer sur le LEP (magnétophone). Inversement, son PIA récupère les informations de lecture décodées à charger. Une ligne du PIA génère le son qui, via un mélangeur recevant le son du LEP, attaque la prise Péritel et une fiche CINCH. Une autre ligne du PIA prend en compte l'information "tactile" du crayon optique LP (switch). Le restant du PIA contrôle certaines commutations de banques RAM, ainsi que des commutations de slots.

Le 6821, en dehors des commutations de banques RAM, a pour mission de prendre en compte les interruptions FIRQN sollicitées par le phototransistor du crayon optique et de commander, via un connecteur spécialisé, une imprimante en mode parallèle CENTRONICS. De même, il assure les demandes d'incrustation et la télécommande du moteur LEP.

A part le traitement du signal "BUSY" imprimante, le 6850 est entièrement consacré à la gestion du clavier. Travaillant en mode série asynchrone avec le monochip (type 6805) de ce dernier, il effectue des liaisons au rythme de 9 600 bauds.

Le lecteur de disquettes (drive) au standard 3,5 pouces simple face, simple ou double densité, est commandé par un module de contrôle (type WD 2793 ou WD 1770) programmable par le 6809. Le choix de la densité se fait par une opération de "latch" en écriture dans un circuit annexe 74 LS 173.

Une alimentation à découpage du type "fly back" à régulation opto-électronique fabrique les trois tensions de + 5 V, + 12 V, - 5 V, nécessaires à la configuration du micro ordinateur.

2. Le 6809 E dans le TO9

Principe fondamental

Depuis l'apparition du tout premier TO7, les unités centrales des micro-ordinateurs THOMSON ont un fonctionnement typique basé sur le même principe fondamental. Ce principe consiste à prendre en compte cycliquement la phase active et non active du 6809.

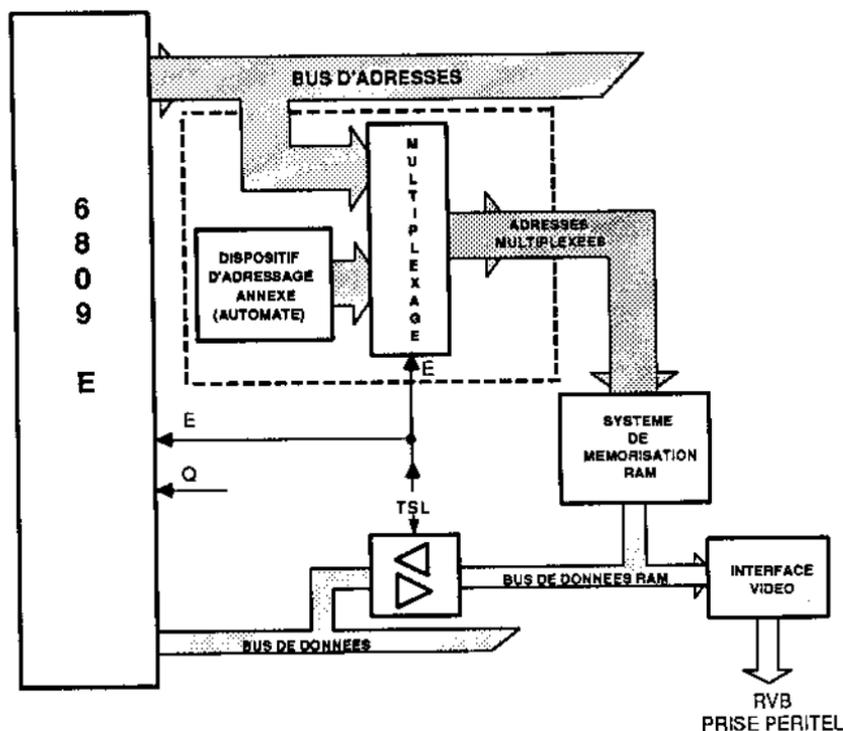


Figure 2. Dispositif fondamental dans les unités centrales Thomson 8 bits

Ainsi lorsque le signal d'horloge machine $E = 1$, le microprocesseur est dans sa phase active de fonctionnement; ce dernier adresse normalement la carte mémoire du système et réalise des échanges sur les bus de données en relation avec l'exécution de l'instruction en cours.

Lorsque E = 0, le microprocesseur est dans sa phase inactive de fonctionnement; un dispositif d'adressage annexe (automate) prend alors le relai afin d'assurer, via l'interface vidéo, le rafraîchissement de la mémoire écran et, simultanément par la même occasion, le rafraîchissement nécessaire à la technologie des mémoires vives utilisées (RAMS dynamiques). Le bus de données est déconnecté du bus de données RAM par l'intermédiaire d'un dispositif "3 états".

La commutation des adresses 6809 et des adresses du dispositif annexe s'effectue à partir d'un multiplexeur. Le signal E, alternativement à 1 et à 0 toutes les microsecondes, commande un adressage CPU et un rafraîchissement d'une durée conjointe de 500 nanosecondes (cf. figure 2).

Interconnexion du 6809 E et de ses bus

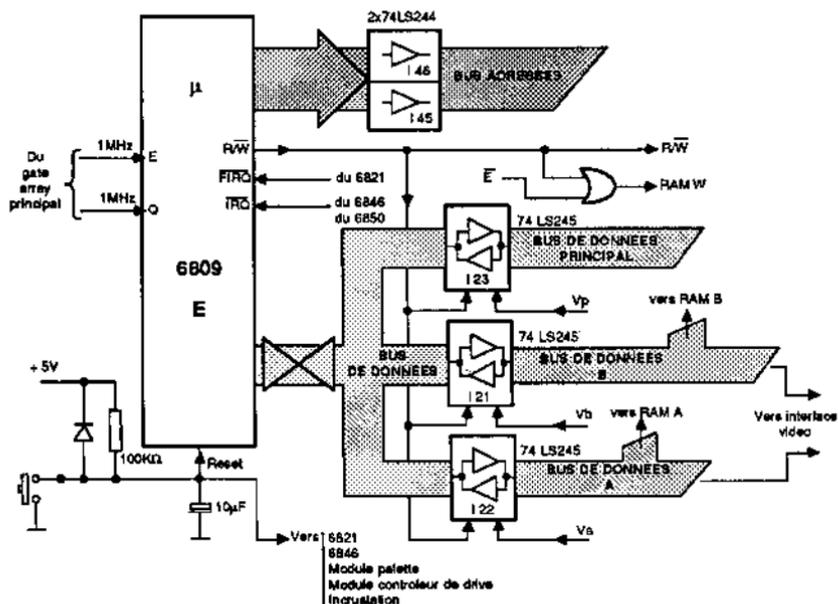


Figure 3. Le CPU et ses bus dans le TO9

La figure 3 montre quelles sont les entrées-sorties utilisées sur le microprocesseur.

La fréquence d'horloge E et Q en provenance du gate array principal est de 1MHz. Le circuit de RESET utilise une constante de temps de $0,00001 \times 100000 = 1$ seconde. Afin d'adapter la sortance, le bus d'adresses est bufferisé par deux circuits 74 LS 244.

Le bus de données se répartit en trois bus dont chacun est bufferisé par un 74 LS 245 commandé en bidirectionnel par le signal de lecture écriture R/WN.

Afin d'éviter tout conflit lorsque le 6809 est en lecture, un seul des 74 LS 245 est actif à la fois, les deux autres étant en état "haute impédance". Cette action est dévolue aux commandes de validation Vp, Vb, Va. Exception faite pour Vp, elles génèrent des signaux issus de circuits combinant les décodages d'adresses correspondants avec E et R/WN. Il en résulte pour Vb et Va des actions de validation particulières, pendant la phase non active du 6809, ou lorsque le microprocesseur est en écriture.

Ainsi lorsque E = 0, le bus de données A et le bus de données B ne sont plus en relation avec le bus de données du microprocesseur, les informations en mémoire vive étant transférées automatiquement vers le système d'interfaçage vidéo.

De même, pour E = 1 lorsque le 6809 E est en écriture, les bus A et B sont connectés au bus du microprocesseur, ce qui n'apporte pas de conflit puisque les buffers sont en entrée mais permet aux données d'être présentes en entrée des RAMS 4416 bien avant que celles-ci soient elles-mêmes validées (considérations de timing).

La commande R/WN du 6809 E est envoyée à tous les registres susceptibles de travailler en lecture-écriture dans l'unité centrale. Les circuits de RAM, quant à eux, sont reliés à la commande combinée RAMW telle que :

$$RAMW = R/\bar{W} + \bar{E}$$

$$\begin{array}{ll} \text{Avec pour } E = 1 & RAMW = R/\bar{W} \\ \text{pour } E = 0 & RAMW = 1. \end{array}$$

Cela signifie que pour la phase active du 6809 E, les 4416 sont commandées directement en lecture-écriture par le microprocesseur, alors que pour la phase inactive, ces mémoires sont en lecture automatique (REFRESH).

Les deux entrées d'interruption utilisées sont IRQN et FIRQN. La première sert à gérer le clignotement du curseur (sortie du TIMER 6846) et le fonctionnement du clavier (demande provenant du 6850). L'aiguillage de l'interruption est réalisé par logiciel. La deuxième assure la gestion du crayon optique ou d'un éventuel "code barre" (demande provenant du 6821).

Lorsqu'après la mise sous tension ou après une action manuelle sur la commande de RESET, le TO9 a déroulé son menu principal, le 6809 E ayant reçu par logiciel l'instruction SYNC, celui-ci cesse toute activité et se place en attente de demande d'interruption clavier. Tous ses bus sont en haute impédance. Les buffers I21 et I22 sont, par principe, déconnectés; seuls travaillent les bus RAMA et RAMB et le bus d'adresses multiplexées, en relation avec le gate array principal, pour le rafraîchissement des mémoires 4416 et de l'écran.

3. Système de mémorisation

Les ROMS

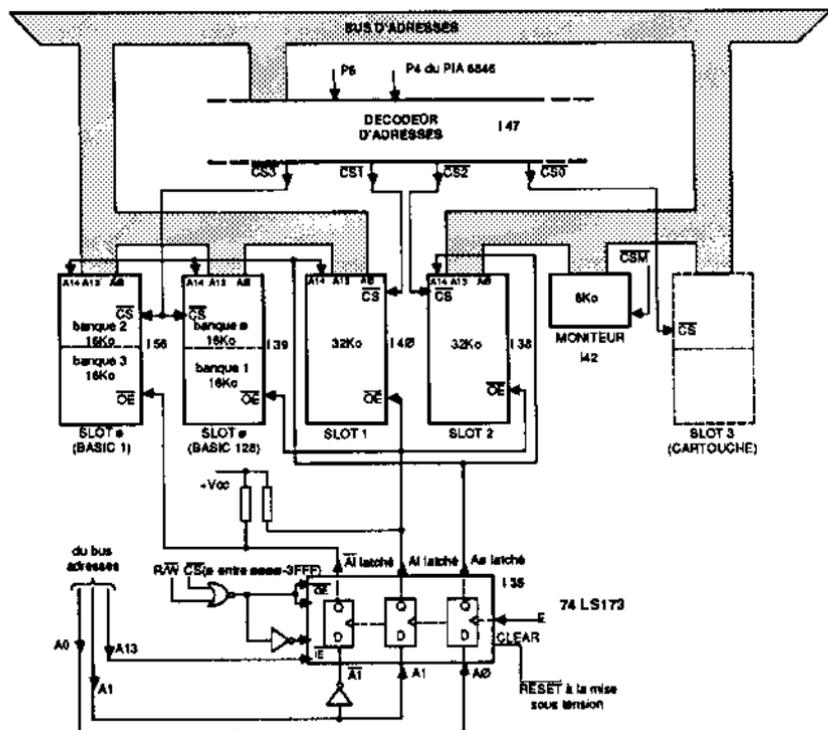


Figure 4. Gestion des ROMS dans le TO9

La figure 4 décrit l'organisation générale du fonctionnement.

Le TO9 comprend quatre EPROMS 27256 (32 Ko de logiciel intégré) et une EPROM 2764 (8 Ko de moniteur). Il peut, de plus, supporter une cartouche MEMO 7. L'espace mémoire implicitement réservé aux logiciels étant de 16 Ko, afin de pouvoir y loger les 4×32 Ko + MEMO 7, le système est organisé en slots et banques commutables de 16 Ko.

Chaque EPROM appartient à un slot défini par la commande de CHIP SELECT: CSN. On peut voir aussi que I-56 et I-39 (BASIC 1 + DIVERS et BASIC 128 + EXTRAMON) appartiennent au même slot 0. I-40 représente le

slot 1; I-38 représente le slot 2. Le slot 1 ou le slot 2 contiennent indifféremment le progiciel PARAGRAPHE ou FICHES ET DOSSIERS. Enfin, la cartouche extérieure appartient au slot 3.

Commutation des slots

Elle se définit par programmation, selon l'état des bits P5 et P4 en provenance du port du 6846. De par le décodage d'adresses I-47, les commandes de CHIP SELECT sont alors orientées en conséquence vers les EPROMS. Le tableau suivant met en évidence les différentes combinaisons possibles :

Adressage	P5	P4	Slot Actif
0000-3FFF	0	0	0
- -	0	1	1
- -	1	0	2
- -	1	1	3
4000-FFFF	X	X	aucun

Commutations des banques 16 Ko

Deux commandes interviennent au niveau des EPROMS: le bit A14 définissant le partage de 16 Ko partie basse ou 16 Ko partie haute; l'entrée "OUTPUT ENABLE OEN" sélectionnant le circuit en sortie.

De par le montage, la commutation est alors définie en mémorisant les deux bits d'adresse A1 et A0 via le registre 74 LS 173 I- 35. Les différents cas de figure réalisable sont représentés par le tableau suivant:

Adressage	A1 latché	A0 latché	Banque Active
0000-3FFF	0	0	0
- -	0	1	1
- -	1	0	2
- -	1	1	3
4000-FFFF	X	X	aucune

A1 et A0 sont latchés par programmation. Ainsi, il suffit de demander une écriture du 6809 E dans la zone d'adressage 0000-1FFF. Cette action implique :

$$R/WN = 0 \quad CSN = 0 \quad A13 = 0$$

et conformément au câblage, a pour conséquence de valider, en entrée, I-35 qui enregistre alors au coup d'horloge E les valeurs de A1 et A0 présentes à cet

instant. Conjointement, les sorties lachées sont déconnectées par OEN, ce qui représente un état haut (résistances de PULL UP), évitant un conflit au niveau des EPROMS.

A la mise sous tension, les bascules de I-35 sont réinitialisées à 0 (RESET). On notera que la zone d'adressage 2000 à 3FFF est réservée à un autre système utilisant un registre extérieur.

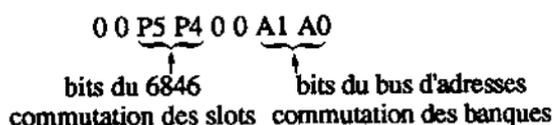
Fonctionnement d'ensemble: espace mémoire 0000-1FFF

Bits de PIA		Adresses lachées		Désignation		
P5	P4	A1	A0	slot	banque	logiciel
0	0	0	0	0	0	BASIC 128
0	0	0	1	0	1	extramon
0	0	1	0	0	2	BASIC 1
0	0	1	1	0	3	DOS iconique
0	1	0	X	1	X	Paragraphe ou
1	0	0	X	2	X	Fiches et Dossiers
1	1	0	0	3	X	cartouche

On peut voir que le système est prévu pour supporter quatre slots de quatre banques chacune.

Routines de commutation

Le moniteur comporte au point d'entrée standard EC03 une routine COMSLOT permettant d'appeler une routine d'une banque quelconque d'un slot quelconque (voir page 222). Les commutations effectuées s'opèrent alors à partir d'un mot binaire désigné par l'utilisateur selon la forme :



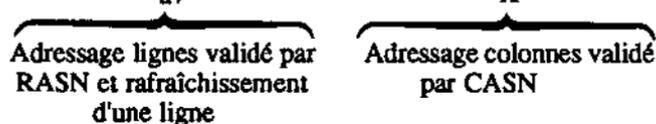
Les RAMS

Technologiquement, la mémoire vive du TO9 est constituée par 16 boîtiers intégrés du type 4416. Ces circuits ont une capacité de 16 Ko × 4 bits. Sachant que le système travaille en données de 8 bits, deux 4416 sont associées pour chaque plan mémoire de 16 Ko. On obtient ainsi huit couples de RAM, avec, pour chaque couple, un boîtier spécialisé pour les quatre bits de poids faible et un boîtier spécialisé pour les quatre bits de poids fort du bus de données.

Fonctionnement d'une 4416

Les 4416 sont des mémoires qui permettent de stocker, sous forme de matrices de $2^8 = 256$ lignes et de $2^6 = 64$ colonnes: $256 \times 64 = 16\,384$ groupes de 4 bits. L'adressage d'une telle matrice nécessite donc 14 bits. En fait, seuls 8 bits d'adresses (A0 à A1) permettent la gestion de la mémoire. Ils sont multiplexés et dirigés, soit vers le bloc d'adresses lignes, quand le signal de validation lignes RASN passe à zéro, soit vers le bloc d'adresses colonnes, quand le signal de validation colonnes CASN passe à zéro.

Les 4416 sont des mémoires du type MOS dynamique nécessitant un rafraîchissement (REFRESH) de cycle ≤ 2 ms. En groupe de 4 bits, ce rafraîchissement se fait par adressages successifs des 256 lignes. A chaque ligne adressée, si RASN est actif (état 0), les 64 cellules à transistors, placées aux intersections de cette ligne avec les 64 colonnes, sont simultanément rafraîchies. Le tableau suivant précise la forme de l'adressage:

a0	X
a1	a8
a2	a9
a3	a10
a4	a11
a5	a12
a6	a13
a7	X
	

Les 4416, enfin, ne sont pas sélectionnées (bus de données déconnecté) lorsque le signal de CASN n'est pas actif. Ce dernier remplace avantageusement une commande de CHIP SELECT (action conjointe de GN).

Principe fondamental

La figure 5 schématise l'organisation générale du système. On y distingue les huit plans mémoire, partie A, partie B et banques de 0 à 5. L'adressage des RAMS ne provient pas en direct du 6809 mais passe à travers le gate array (circuit I-25) par un double multiplexage.

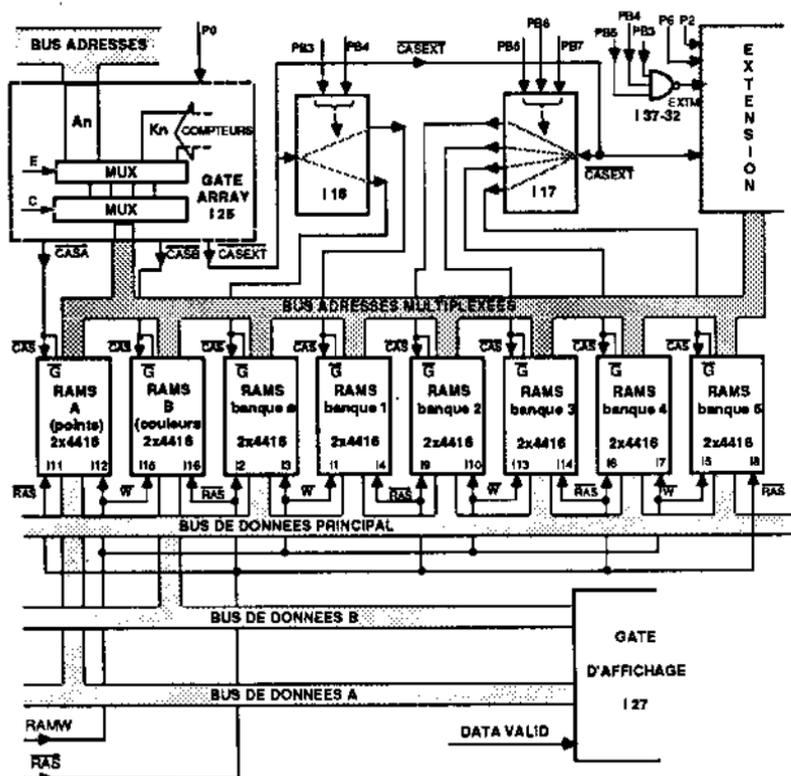


Figure 5. Système de mémorisation RAMS dans le TO9

Le premier jeu de multiplexeurs permet de commuter, au rythme du signal d'horloge E, tantôt le bus d'adresses du CPU (phase active du 6809 E, E = 1), tantôt un ensemble de compteurs intégrés (phase non active du 6809 E, E = 0). Ce processus est une technique de DMA permettant à chaque cycle d'horloge le rafraîchissement d'une ligne de RAM dynamique, à savoir le rafraîchissement total des boîtiers lorsque les compteurs ont effectué un cycle de 256 pas. Il permet, d'une tout autre manière, "le rafraîchissement d'écran" par l'intermédiaire d'une partie des RAMA et RAMB (cf. gestion d'écran).

Le deuxième jeu de multiplexeur assure la commutation poids faible et poids fort de l'adressage lignes et colonnes conformément aux spécifications des 4416; ce que confirme le tableau suivant.

Forme de l'adressage complet (double multiplexage)

A0	X	T0	X
A1	A8	T1	T8
A2	A9	T2	T9
A3	A10	T3	T10
A4	A11	T4	T11
A5	A12	T5	T12
A6	A13	T6	0
A7	X	T7	X
poids faible	poids fort	poids faible	poids fort

adressage 6809
E = 1 lecture écriture
du CPU

adressage compteur
E = 0 refresh écran

On remarquera que le système de comptage est limité au bit de poids 12. Cela est justifié par le fait que les 2×8 Ko de RAM écran sont répartis dans la moitié inférieure des plans mémoire A et B (cf. organisation mémoire).

Organisation mémoire vive du T09

Les huit couples mémoire organisés physiquement sont structurés logiquement en dix parties. Ainsi :

La RAMA comprend:

- de 4000 à 5FFF, 8 Ko de mémoire écran appelée RAMA ou RAM points (dénomination T07, cf. modes d'affichage),
- de 6000 à 7FFF, 8 Ko de mémoire datas ou utilisateur dont de 6000 à 60FF les registres du moniteur et de 6100 à 62FF une partie réservée au système, à savoir: les diverses pages 0 de BASIC ou autres qui représentent des applications.

La RAMB comprend :

- de 4000 à 5FFF, 8 Ko de mémoire écran appelée RAMB ou RAM couleur (dénomination T07),
- de 8000 à 9FFF, 8 Ko de mémoire datas ou utilisateur.

Les banques 0, 1, 2, 3, 4 et 5 constituent chacune 16 Ko de mémoire datas ou utilisateur dans la zone d'adressage A000-DFFF.

Sélections

Les sélections se font à partir de l'entrée dynamique CAS, en relation avec les signaux CASAN, CASBN et CASEXTN dépendant de décodages d'adresse (cf. fonctionnement du gate array principal) et des bits de PIA dont P0 (bit d

forme) du 6846 et PB3, PB4, PB5, PB6, PB7 du 6821 (technique de bank switching). L'extension de 4×16 Ko utilisée en disque virtuel (commandé uniquement par le contrôleur de lecteur), utilise les bits P2 et P6 du 6846 ainsi que les bits PB5, PB4, PB3 du 6821.

Les tableaux suivants mettent en évidence les commutations requises pour les différents types de fonctionnement selon la valeur de E (phase active ou non active):

Commutations des parties de RAM A et B pour E = 1 phase active du 6809 E

Zones d'adressage	P0	CASAN	CASBN	CASEXTN	Sélection
4000 - 5FFF	0	inactif	actif	inactif	couleur
4000 - 5FFF	1	actif	inactif	inactif	points
6000 - 7FFF	X	actif	inactif	inactif	Adatas
8000 - 9FFF	X	inactif	actif	inactif	Bdatas
A000 - DFFF	X	inactif	inactif	actif	banques

Commutation des parties de RAM A et B pour E = 0 phase non active du 6809 E:

Zone d'adressage	P0	CASAN	CASBN	CASEXTN	Sélection
4000 - 5FFF	X	actif	actif	inactif	couleur et points

Pour ce type de fonctionnement, l'adressage est implicite. On notera la double prise en compte sur 16 bits des datas, via le bus de données A et le bus de données B, par le gate d'affichage I-27 (rôle de DATA VALID).

Commutation des banques:

CASEXTN	P6	P2	PB7	PB6	PB5	PB4	PB3	Sélection
inactif	X	X	X	X	X	X	X	aucune
actif	X	X	1	1	1	1	0	banque 0
actif	X	X	1	1	1	0	1	banque 1
actif	X	X	0	0	0	1	1	banque 2
actif	X	X	1	0	0	1	1	banque 3
actif	X	X	0	1	0	1	1	banque 4
actif	X	X	1	1	0	1	1	banque 5
actif	0	0	1	1	1	1	1	RAM disque 1
actif	1	0	1	1	1	1	1	RAM disque 2
actif	0	1	1	1	1	1	1	RAM disque 3
actif	1	1	1	1	1	1	1	RAM disque 4

Lecture-écriture des RAMS

Les 4416 sont en écriture pour l'entrée W à 0 et en lecture pour W à 1. Chaque entrée W est reliée à la commande RAMW. Il en résulte une lecture automatique des RAMS pendant la phase non active du CPU (cf. le 6809 E et ses bus). Ce procédé est bien naturel puisqu'on le sait, il faut réaliser à ce moment précis le rafraîchissement d'écran. Ainsi, lorsque E = 0 le gate array d'affichage I-27 va pouvoir lire automatiquement et simultanément le contenu d'une adresse RAM point et RAM couleur (rôle des bus A et B).

Routines de commutation de banques

L'extension mémoire de 64 Ko n'étant pas considérée, dans les applications soft, comme de la mémoire de programme mais comme un disque virtuel, le sous-programme suivant ne tient donc pas compte de cette extension à laquelle on accède directement par le contrôleur de disque.

Pour des raisons impératives de protection de sélection simultanée de plusieurs banques RAM, le processus suivant a été établi :

- Les 5 bits de données du PIA 6821 qui servent à la sélection sont toujours à zéro (dans le registre de sortie ORB).
- Pour commuter une banque, on n'écrit jamais dans ce registre, mais on changera la direction des bits concernés. Cela se produira par une écriture dans le registre de direction de données (DDRB), en sachant qu'un bit en entrée génère, par technologie, un "1" et un bit en sortie génère un "0" en provenance de l'ORB.

Il est bon aussi de faire attention à certaines routines du moniteur qui peuvent modifier temporairement le contenu du PIA et restaurer tout à "0" à la fin.

Sous-programme standard:

Entrée: (registre A 6809) = numéro de la banque 0 à 5.

COMMUT	EQU	*	
	PSHS	D,X,U	
	LDU	#\$E7C0	U pointe sur les PIA
	LDB	11,U	Lecture du registre CRB en E7CB
	ANDB	#\$FB	Passage du PIA en mode direction
	STB	11,U	" " "
	LDX	#TAB	X pointe sur l'adresse de la table des valeurs à mettre dans le PIA
	LDA	A,X	Lecture de la valeur de la table en fonction du n° de banque

	STA	9,U	Modifications des directions écriture dans le DDRB du PIA en E7C9
	ORB	#\$04	Passage du PIA en mode données
	STB	11,U	(retour aux conditions départ)
	PULS	D,X,U,PC	Retour
TAB	EQU	*	
	FCB	\$0F,\$17,\$E7,\$67,\$A7,\$27	

Le tableau ci-après précise l'action du contenu de TAB en relation avec le contenu de A.

(A)	(TAB) pointé	résultante							configuration du PIA						
		valeur dans le DDRB							PB7	PB6	PB5	PB4	PB3	Sél.banq.	
0	0F	0	0	0	0	1	1	1	1	1	1	1	1	0	0
1	17	0	0	0	1	0	1	1	1	1	1	1	0	1	1
2	E7	1	1	1	0	0	1	1	1	0	0	0	1	1	2
3	67	0	1	1	0	0	1	1	1	1	0	0	1	1	3
4	A7	1	0	1	0	0	1	1	1	0	1	0	1	1	4
5	27	0	0	1	0	0	1	1	1	1	1	0	1	1	5

4. La gestion du système

Les décodages d'adresses

Le décodage d'adresses du TO9 est effectué par un circuit intégré quarante broches spécialisé. C'est un gate array TAHC06 de chez TEXAS regroupant un réseau câblé de portes et de décodeurs TTL type 74 LS 156, 74 LS 138 et 139.

Ce circuit a quinze entrées concernant le bus d'adresses de A1 à A15, et les deux bits de PIA en provenance du 6846 pour la commutation des EPROMS. Seize sorties sont distribuées pour effectuer les sélections suivantes:

- de E7DE à E7DF, pour la validation du circuit ACIA 6850 (gestion clavier)
- de E7DC à E7DD, pour la validation du registre mode d'affichage du gate array I-27,
- de E7DA à E7DB, pour valider les registres du circuit de palette I-28,
- en E7D8, pour la validation du registre de commande double densité et choix des lecteurs I-50,
- de E7D0 à E7D3, pour la validation des registres du contrôleur de lecteur,
- de E000 à E7AF et de E800 à FFFF, pour valider le moniteur,
- de E7C0 à E7CF, pour la validation du 6846, du 6821 système et du 6821 contrôleur de jeux externes,
- de 4000 à 9FFF, pour déconnecter le buffer du bus de données principal, lorsque le 6809 E travaille en RAMA ou en RAMB (commande VP du 74 LS 245),
- de 4000 à DFFF, pour la validation des plans RAM, selon trois signaux:

$\overline{CSAN} = \overline{CSA}$ actif à "0" de 4000 à 7FFF

$\overline{CSBN} = \overline{CSB}$ actif à "0" de 8000 à 9FFF

$\overline{CSEXTN} = \overline{CSEXT}$ actif à "0" de A000 à DFFF

- de 0000 à 3FFF, pour déterminer l'espace alloué à la commutation des banques EPROMS (commande reliée au 74LS173 I-35) et générer:

$\overline{CS0}$, $\overline{CS1}$, $\overline{CS2}$, $\overline{CS3}$.

Une sortie particulière: CSEN = $\overline{\text{CSE}}$ active à "0" pour l'espace EXXX, (soit de E000 à EFFF), est destinée aux différentes extensions ou contrôleurs de communication. Elle permet, entre autres, d'effectuer un prédécodage d'adresse dans le cas où l'utilisateur désire se fabriquer sa propre extension. Par un montage approprié, il devra alors impérativement loger cette dernière dans l'espace mémoire E7B0 à E7BF ou E7E0 à E7E3.

La génération des fonctions

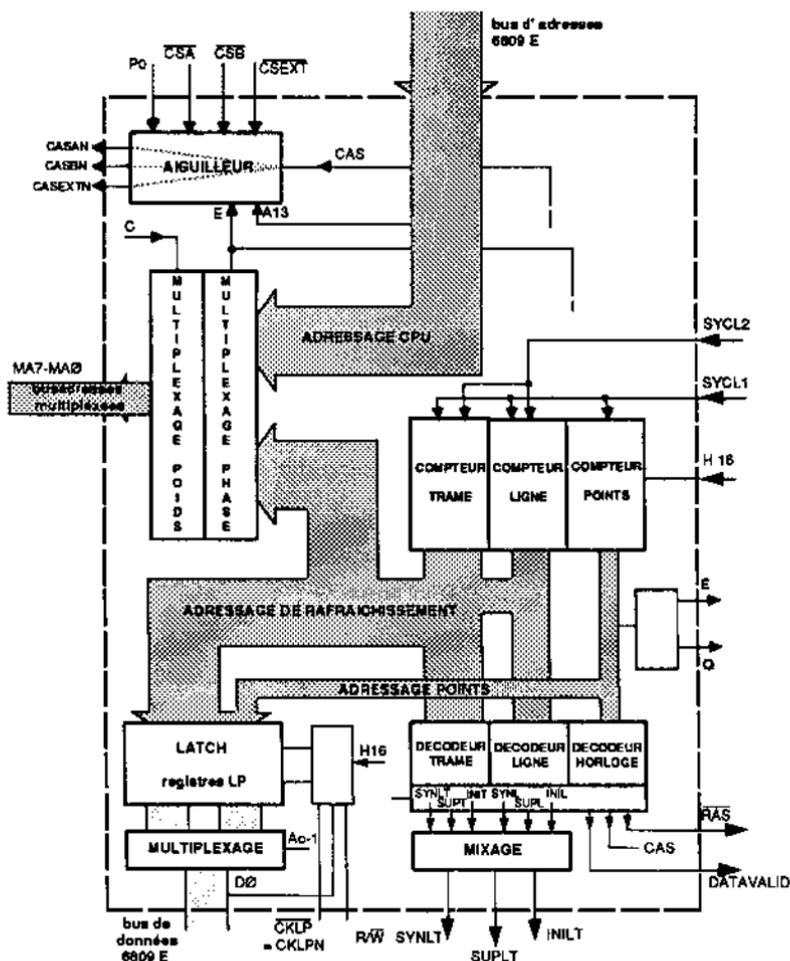


Figure 6. Synoptique du gate array principal dans le T09

Le gate array principal ou gate array système

Le gate array principal, type EFGJ03 (circuit I-25) de chez EFCIS, est un circuit à réseau prédéfini servant de générateur de fonctions. Il a quatre rôles fondamentaux:

- générer des signaux d'horloge et de comptage point,
- générer des signaux d'interfaçage vidéo, en relation avec des compteurs lignes et trames,
- gérer les mémoires vives dynamiques 4416,
- récupérer et stocker le contenu des compteurs points, lignes et trames pour le traitement du crayon optique

Description fonctionnelle

Signaux d'horloge et compteur points

H16 est une entrée d'horloge 16 MHz (horloge mère externe). Elle est divisée, de proche en proche, par un compteur à quatre étages, créant les fréquences points: H4, H2 ainsi que E et Q, en quadrature, à la fréquence de 1 MHz pour le microprocesseur.

Un décodeur d'horloge fournit trois signaux tels que:

RASN, CAS, à la fréquence de 2 MHz ainsi que DATAVALID à la fréquence de 1 MHz.

L'entrée SYCL1 permet de réinitialiser l'ensemble du système.

Compteur lignes et génération des signaux vidéo

Compteur lignes: E, de fréquence 1 MHz, pilote un compteur 6 bits dont les sorties sont successivement, TL0, TL1, TL2, TL3, TL4, TL5. Le cycle de comptage dure 64 μ s, durée normalisée d'une ligne de balayage TV.

L'entrée SYCL2 réinitialise le compteur.

Décodeur ligne: En relation avec les sorties du compteur, il génère les signaux de synchro, de suppression et d'inhibition pour le téléviseur.

INIL est le signal d'inhibition ligne permettant de définir la fenêtre de visualisation sur l'écran pour une largeur correspondant à un balayage dont la durée est 40 μ s.

SUPL est le signal de suppression ligne. Il est destiné à mettre au niveau du noir les signaux RVB, durant le retour du spot en ligne.

SYNL est le signal de synchronisation ligne.

Compteur trame et génération des signaux vidéo

Compteur trame de $3 + 11 = 14$ bits dont les trois premiers étages sont, en réalité, les trois premiers étages du compteur lignes. Les sorties sont repérées TL0, TL1, TL2, T3, T4, T5, T6, T7, T8, T9, T10, T11, T12, T13. L'horloge de commande est une combinaison logique de E et INIL, dont une inhibition de $24 \mu\text{s}$ toutes les $64 \mu\text{s}$. Autrement dit, le compteur ne fonctionne que pendant le balayage de la fenêtre de visualisation. Ce compteur est réinitialisé par un signal interne à chaque trame TV. Il peut être réinitialisé comme le compteur lignes par l'entrée SYCL2.

Décodeur trame: En relation avec les sorties du compteur, il génère les signaux de synchro, de suppression et d'inhibition trame. En standard SECAM, le signal de synchro est distribué toutes les 312 lignes, soit toutes les $312 \times 64 = 19\,968 \mu\text{s}$ (durée d'une trame environ 20 ms).

INIT est le signal d'inhibition trame permettant de définir la fenêtre de visualisation sur l'écran pour une hauteur dont la durée correspond à un balayage de 200 lignes.

SUPT est le signal de suppression trame. Il est destiné à mettre au niveau du noir les sorties RVB pendant le retour trame.

SYNT est le signal de synchronisation trame.

Mixage des signaux lignes-frames

Le gate array dispose de trois sorties de signaux lignes et trames mélangés tels que:

- INILT signal d'inhibition ligne et trame:

$$\text{INILT} = \text{INIL} + \text{INIT}$$

- SYNLT signal de synchro ligne et trame:

$$\text{SYNLT} = \text{SYNL} + \text{SYNT}$$

- SUPLT signal de blanking:

$$\text{SUPLT} = \text{SUPL} + \text{SUPT}$$

Gestion des mémoires vives

Le gate array comprend un double circuit de multiplexeurs recevant le bus d'adresses CPU et le bus compteur ligne et trame. Le double multiplexage est piloté par E et un signal interne C, dérivé du signal CAS. Il permet de distribuer sur 9 bits une succession d'adresses basses et hautes de provenance CPU ou compteur selon le diagramme suivant:

A0	A7	TL0	T7
A1	A8	TL1	T8
A2	A9	TL2	T9
A3	A10	T3	T10
A4	A11	T4	T11
A5	A12	T5	T12
A6	A13 + CSB	T6	0
A7	A14	T7	0
A8	A15	0	0

E = 1
E = 0

On notera la relation logique A13 + CSB dont le rôle est expliqué ci-après. Dans le TO9 le neuvième bit n'est pas exploité.

Un circuit "aiguilleur de CAS" distribue, en relation avec la combinaison logique de A13, CSAN, CSBN, CSEXTN, le bit FORME (P0) et la validation de E, les signaux CASAN, CASBN ainsi que CASEXTN selon le tableau suivant:

E	A13	FORME (P0)	CSAN	CSBN	CSEXTN	CASAN	CASBN	CASEXTN
0	X	X	X	X	X	CASN	CASN	1
1	0	0	0	1	1	1	CASN	1
1	0	1	0	1	1	CASN	1	1
1	1	X	0	1	1	CASN	1	1
1	X	X	1	0	1	1	CASN	1
1	X	X	1	1	0	1	1	CASN

De par le décodage d'adresses, selon les trois champs d'adresses suivants, nous savons par ailleurs que:

De 4000-7FFF	CSAN = 0	CSBN = 1	CSEXTN = 1
De 8000-9FFF	CSAN = 1	CSBN = 0	CSEXTN = 1
De A000-DFFF	CSAN = 1	CSBN = 1	CSEXTN = 0

Ce qui permet de construire le tableau général de la commutation des plans mémoires pour E = 1 (cf. organisation mémoire vive du TO9, page 42).

Champ mémoire	A13	P0	CASA	CASB	CASEXT	A13+CSB	Type de RAM
4000-5FFF	0	0	1	CASN	1	0	RAMB partie basse (écran couleur)
4000-5FFF	0	1	CASN	1	1	0	RAMA partie basse (écran forme)
6000-7FFF	1	X	CASN	1	1	1	RAMA partie haute (datas)
8000-9FFF	0	X	1	CASN	1	1	RAMB partie haute (datas)
A000-DFFF	X	X	1	1	CASN	X	banques

On met ainsi en évidence la sélection des plans mémoires A (écran forme) et B (écran couleur) par le bit de forme P0; de même, la sélection des plans mémoires A (datas) et B (datas) par l'action de A7 + CSB envoyé sur le bus d'adresses multiplexé.

Traitement du crayon optique

Une série de *flip-flop*, dénommée latch ou registre crayon optique, située aux adresses E7E4 E7E5 E7E6 E7E7, réalise la prise en compte des états présents des compteurs, au moment d'une visée sur l'écran par le crayon optique. Dès que l'utilisateur pointe le crayon sur la fenêtre de visualisation, une impulsion (niveau bas) de 700 ns apparaît sur l'entrée CKLPN. Cette impulsion synchronisée sur le premier front descendant de H16 est appliquée en commande d'horloge des *flip-flop*. Ces derniers reçoivent sur leur entrée l'état des compteurs points, lignes et trame afin de les stocker.

Pour R/WN = 1, les informations mémorisées dans les *flip-flop* sont multiplexées par les bits A0 et A1 du bus d'adresses et envoyées sur le bus de datas D0 à D7. Quand le circuit n'est pas sélectionné, ces sorties sont normalement en tristate. Pour R/WN = 0, D0 peut passer en entrée.

Pour lire les informations, le 6809 doit faire appel à une routine particulière. Il doit envoyer, en écriture, un front montant sur D0 à l'adresse E7E4. Le gate array autorise alors le passage du signal issu de CKLPN en rendant disponibles les données en sortie. Le 6809 peut lire les données à travers l'état de A1 et A0 en envoyant les adresses E7E4 à E7E7.

Les informations mémorisées permettent la lecture de la position du pointage sur l'écran en donnant la précision du point, dans une totalité de 8000 (comptage sur 16 bits de H4 à T12). La prise en compte de INILN et INITN permet de vérifier si le crayon optique a été réellement pointé sur la fenêtre de visualisation (cf. l'étude du fonctionnement du crayon optique).

5. Le système de visualisation

Généralités

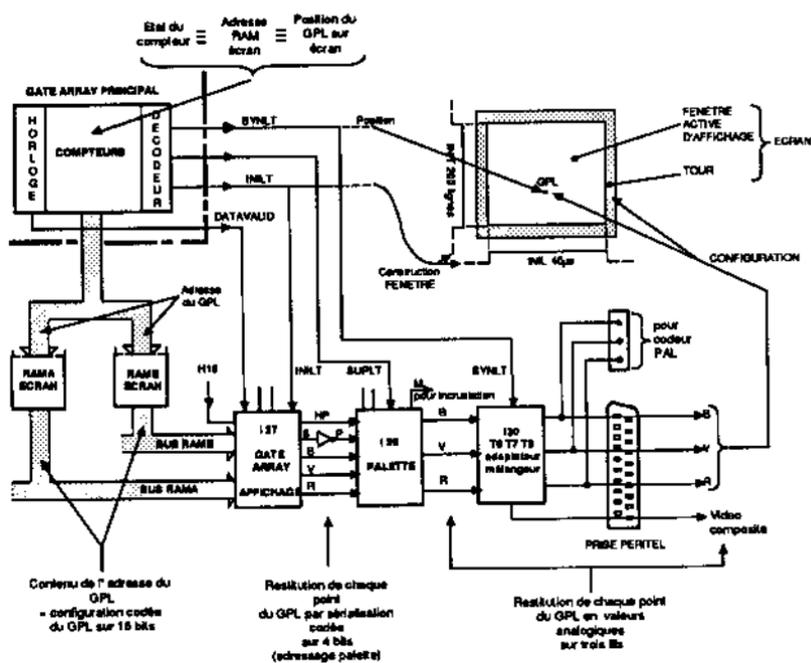


Figure 7. Synoptique du système de visualisation

La figure 7 donne un aperçu général de la gestion d'écran TV. Il est bon de décomposer le fonctionnement en deux parties.

Construction globale de l'écran

L'écran doit être divisé en deux zones distinctes :

- La fenêtre active d'affichage ou de visualisation, dont la dimension en largeur correspond à un temps de balayage de 40 μ s et la dimension en hauteur à 200 lignes de 64 μ s. La fenêtre est destinée à recevoir caractères et graphismes.

– Le tour ou cadre ne recevant ni caractère ni graphisme mais susceptible de changer de teinte.

La définition géométrique de la fenêtre et du cadre est réalisée à partir du signal INILT, distribué par le gate array principal, et venant agir sur un aiguilleur contenu dans le gate array d'affichage I-27. Ce dernier détermine, entre autres, les couleurs du tour.

La définition de l'écran est faite à partir des signaux SYNLT et SUPLT (synchronisme ligne, trame et blanking) pour assurer un balayage non interligné de 312 lignes de durée normalisée à 64 μ s.

Construction de la fenêtre active

La fenêtre de visualisation ou de travail est réalisée en synchronisme avec le balayage du spot par l'association de segments en ligne et en colonne. Ces segments sont appelés GPL. Quarante GPL constituent une ligne. La fenêtre est donc construite à partir de 40×200 lignes = 8 000 GPL.

Un GPL est conçu par une association de points (4, 8, 16 selon le mode d'affichage). Chaque point, représentatif d'une couleur, est déterminé à partir d'une ou plusieurs informations stockées en mémoire écran. En fait, le contenu 16 bits d'une adresse de mémoire écran définit la configuration en couleur des points d'un GPL. Chaque GPL est donc associé à une adresse qui représente sa position sur la fenêtre. Pour gérer 8 000 GPL, il faut 8 000 adresses dans le champ 4000 à 5F3F.

Pendant chaque phase non active du 6809 E, nous savons que chaque nouvelle adresse pointée est incrémentée de 1 (cf. fonctionnement du gate array principal, page 48); ce qui signifie que toutes les μ s, un nouveau GPL est défini en parfait synchronisme avec le balayage, puisque SYNLT est issu des compteurs délivrant les adresses. Ce processus est appelé rafraîchissement d'écran ou REFRESH.

Le contenu de la RAM écran RAMA et RAMB représente donc la configuration codée sur 16 bits des GPL. Ce contenu est dirigé par les bus RAMA et RAMB vers le circuit I-27 (gate array d'affichage). Ce dernier, selon le mode d'affichage programmé, restitue des informations de couleurs sérialisées sur le bus "couleur" de 4 bits. Trois bits représentent une couleur primaire R (rouge), V (vert), B (bleu) correspondant à la configuration de base (couleur du TO7/70). Le quatrième bit ressort l'information de saturation S transformée, après inversion, en information de pastel P. L'association de ces quatre bits définit un adressage ou un numéro de couleur pour le circuit de palette.

Les quatre bits activent, en relation avec une horloge PIXEL (HP), le circuit I-28 de palette dont le rôle principal est de convertir en niveaux analogiques le codage binaire de chaque point d'un GPL. Optionnellement, il permet de

reconfigurer les couleurs de base, grâce à un plan mémoire programmable, pouvant traiter 4 096 cas de figures.

Trois sorties analogiques RVB attaquent la prise péritel aux normes SCART à travers un circuit d'adaptation I-30 et un mélangeur recevant SYNLT pour reconstituer une vidéo composite. Les trois signaux sont dérivés vers un adaptateur pour un éventuel codeur PAL.

Configuration de base

A la mise sous tension, le circuit de palette I-28 est programmé pour restituer, en relation avec l'adressage par numéros de couleur provenant du gate array I-27, les couleurs fondamentales du TO7/70, selon le tableau suivant :

Adressage en sortie gate d'affichage				Adressage en entrée palette				Numéro de couleur	Sélection de couleur du TO7/70
S	B	V	R	P	B	V	R		
1	0	0	0	0	0	0	0	0	noir
1	0	0	1	0	0	0	1	1	rouge
1	0	1	0	0	0	1	0	2	vert
1	0	1	1	0	0	1	1	3	jaune
1	1	0	0	0	1	0	0	4	bleu
1	1	0	1	0	1	0	1	5	magenta
1	1	1	0	0	1	1	0	6	cyan
1	1	1	1	0	1	1	1	7	blanc
0	0	0	0	1	0	0	0	8	gris
0	0	0	1	1	0	0	1	9	rose
0	0	1	0	1	0	1	0	10	vert clair
0	0	1	1	1	0	1	1	11	sable
0	1	0	0	1	1	0	0	12	bleu clair
0	1	0	1	1	1	0	1	13	parme
0	1	1	0	1	1	1	0	14	bleu ciel
0	1	1	1	1	1	1	1	15	orange

Gate array d'affichage et modes d'affichage

Rôle du circuit I-27

Le gate array EFGG06 de chez EFCIS a été conçu pour récupérer les 16 bits de données en provenance des RAMS écran afin de pouvoir, en les sérialiser pendant une micro-seconde sur un bus de quatre fils (R, V, B, S), construire, via l'interface vidéo, un GPL selon un mode d'affichage bien particulier.

Le gate array I-27 est constitué par :

- Un transcodeur en relation avec le bus RAMA et le bus RAMB. Ce transcodeur intervient uniquement pour le mode TO7/70 et le mode bit-map 16 couleurs.

- Quatre registres sérialisateurs de quatre bits chacun recevant les données transcodées et les ressortant en série. Selon le mode programmation, ces registres peuvent travailler séparément ou en association.

- Un circuit de commutation assure les différentes combinaisons. Un commutateur d'horloge sélectionne la fréquence de sérialisation Φ point de 4 MHz, 8 MHz ou 16 MHz. Il génère une fréquence dépendante de Φ point. Cette fréquence appelée HP (horloge pixel) est destinée à la prise en compte des informations du bus couleur R, V, B, S pour les registres de palette.

- L'ensemble de ces circuits est géré par un registre programmable à l'adresse E7DC. Il est accessible uniquement en écriture selon le modèle sur huit bits :

X T1 T0 Φ 1 Φ 0 C B A

avec choix du transcodage :

T1	T0	
0	0	Mode TO7/70
0	1	Mode sans transcodage
1	1	Mode bit-map 16 couleurs

avec choix de la fréquence d'horloge :

Φ 1	Φ 0	
0	0	8 MHz
0	1	16 MHz
1	1	4 MHz

avec choix du mode de fonctionnement :

C	B	A	
0	0	0	Mode TO7/70
0	0	1	Mode bit-map 4
0	1	0	Mode 80 colonnes
0	1	1	Mode bit-map 16
1	0	0	Mode page 1
1	0	1	Mode page 2
1	1	0	Mode surimpression 1
1	1	1	Mode surimpression 3

- Un autre registre, programmable uniquement en écriture en E7DD, permet d'enregistrer les couleurs du tour selon le modèle sur huit bits :

X X X X S B V R

avec S bit de saturation

B bit de bleu

V bit de vert

R bit de rouge

dans la configuration de base.

Ce registre est parfaitement indépendant du premier et ne concerne pas les modes d'affichage.

Le circuit I-27 est réinitialisé à chaque mise sous tension ou lorsque l'on appuie sur le bouton correspondant. La commande est commune avec celle du 6809 E. Il en résulte une programmation des registres à 0, d'où le mode d'affichage implicite TO7/70 et la couleur du cadre en gris.

Les différents modes d'affichage

Dans l'hypothèse où pour chacun des huit points d'un GPL on cherchait à obtenir une couleur différente, il faudrait prévoir un format de RAM écran de :

8 (points) × 4 (bits de couleurs) soit 32 bits.

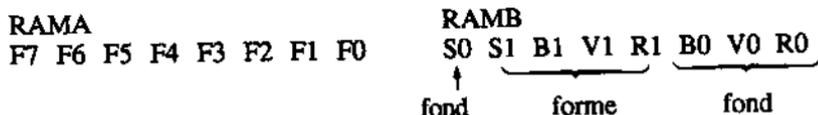
La mémoire écran travaillant uniquement sur un format seize bits, seuls des compromis sont envisageables quant aux nombres de couleurs exploitables et à la finesse des pixels; ce fait est illustré par les quatre modes d'affichage suivants:

• Le mode TO7/70 ou 40 colonnes

C'est le mode implicite permettant pour 16 couleurs une résolution de 320 × 200 points avec, par segment de huit points, une rigidité de deux couleurs.

Dans ce mode, le GPL est défini sur huit points. A chaque point correspond une couleur de forme ou une couleur de fond. La RAMA sert à mémoriser l'emplacement Fn de la forme ou du fond (mémoire de forme). Un bit à 0 correspond à du fond, un bit à 1 correspond à de la forme. La RAMB sert à mémoriser la couleur de fond et la couleur de forme, selon les primaires R, V, B et le bit de saturation S.

Schéma de codage en RAM



L'organisation en RAMB n'est pas cohérente (pour des raisons de compatibilité avec le TO7) car le bit de saturation de fond est totalement séparé des primaires correspondantes. Dans le mode TO7/70 (CBA = 000), le gate array d'affichage va donc effectuer un transcodage (T1 T0 = 00), selon le schéma suivant :

S1 B1 V1 R1 S0 B0 V0 R0

Les bits de la RAMA vont être sérialisés à la fréquence Φ point de 8 MHz ($\Phi 1 \Phi 0 = 00$) et vont commuter sur les quatre sorties S, B, V, R :

la couleur de fond : S0 B0 V0 R0 pour Fn = 0

la couleur de forme : S1 B1 V1 R1 pour Fn = 1

– Exemple de routine simple permettant d'afficher une succession de couleurs différentes sur un même GPL à l'adresse \$5000 :

Mode TO7/70 implicite :

LDA	\$E7C3	Commutation du bit
ANDA	#\$FE	de forme à 0
STA	\$E7C3	Accès à la RAMB
LDB	#\$D1	S0 S1 B1 V1 R1 B0 V0 R0
STB	\$5000	1 1 0 1 0 0 0 1
		couleur de fond N°1, couleur de forme N°2, à l'adresse 5000.
ORA	#\$01	Commutation du bit
STA	\$E7C3	de forme à 1
		Accès à la RAMA
LDA	#\$AA	F7 F6 F5 F4 F3 F2 F1 F0
		1 0 1 0 1 0 1 0
		Alternance de forme et de fond à l'adresse 5000.
REC	BRA	REC

En résumé, ce mode permet d'utiliser seize couleurs avec deux couleurs imposées par GPL, une couleur de forme, et une couleur de fond. Ce mode entraîne d'inévitables conflits de proximité dans la réalisation des graphismes (bavures ou débordement de couleurs sur un GPL).

• *Le mode bit-map quatre couleurs*

Ce mode est destiné à éviter les conflits de proximité, pour une résolution de 320 x 200 points, avec uniquement quatre couleurs imposées.

Le GPL est défini sur huit points. A chaque point, de gauche à droite et dans le sens décroissant des poids, correspond un bit dans la RAMA et dans la RAMB pour coder sa couleur selon la configuration de base :

RAMB	RAMA	Couleur du point
0	0	gris
0	1	rose
1	0	vert clair
1	1	sable

Schéma de codage en RAM

RAMA								RAMB							
C7	C6	C5	C4	C3	C2	C1	C0	C7	C6	C5	C4	C3	C2	C1	C0
pour chaque point								pour chaque point							
présence ou absence de rouge								présence ou absence de vert							

Pour ce mode (CBA = 001), le gate array d'affichage n'effectue pas de transcodage (T1 T0 = 01). Les bits de la RAMA et de la RAMB vont être sérialisés à la fréquence Φ point de 8 MHz ($\Phi1 \Phi0 = 00$) chacun sur un fil, R pour la RAMA, V pour la RAMB. Les deux autres fils S et B sont à l'état 0 permanent. Ceci explique pourquoi le système génère des teintes en pastel.

– Exemple de routine simple permettant d'afficher une succession de couleurs différentes sur un même GPL à l'adresse \$5000.

Mode bit-map 4 couleurs :

LDA	\$E7C3	Initialisation de la RAMA
ANDA	#\$FE	et de la RAMB pour un
STA	\$E7C3	écran uniforme
CLRB		"
JSR	EFF	"
ORA	#\$01	"
STA	\$E7C3	"
JSR	EFF	"
LDA	#\$21	Passage en mode
STA	\$E7DC	bit-map 4
LDB	#\$CC	C7 C6 C5 C4 C3 C2 C1 C0
STB	\$5000	1 1 0 0 1 1 0 0
		dans la RAMA
LDA	\$E7C3	Passage en RAMB
ANDA	#\$FE	"
STA	#\$E7C3	"
LDB	#\$AA	C7 C6 C5 C4 C3 C2 C1 C0
STB	\$5000	1 0 1 0 1 0 1 0
REC	BRA	REC
EFF	EQU	* Routine d'initialisation
	LDX	#\$4000
	STB	,X+
ENC	CMPX	#\$5F40
	BNE	ENC
	RTS	

Ce programme exécuté en configuration de base détermine par principe quatre couleurs pastel : gris, rose, vert clair et sable. Afin d'obtenir un affichage plus apparent, il convient de reconfigurer la palette et de la transformer de telle sorte que le gris devienne noir, le rose devienne rouge, le vert clair devienne vert, le sable devienne jaune. Cette reconfiguration est implicitement apportée par la séquence d'échappement (\$59) inhérente à la routine PUTC (cf. programmation de la palette, page 212).

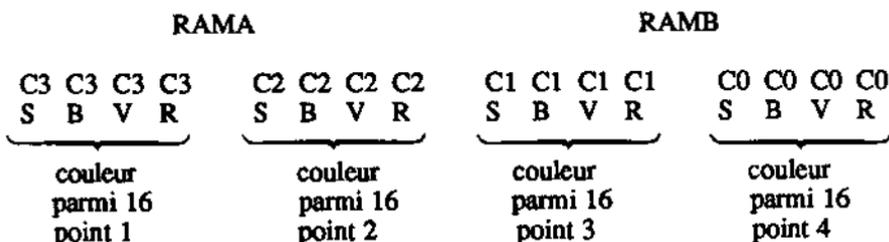
• Le mode bit-map 16 couleurs

Ce mode est destiné à éviter les conflits de proximité pour une résolution de 160 × 200 points avec le choix de seize couleurs.

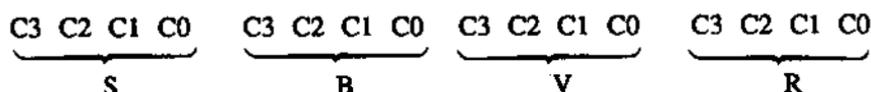
Le GPL est conçu sur quatre points. Pour chaque GPL, la RAMA, par ses quatre bits de poids fort, définit la couleur parmi seize du point le plus à gauche,

puis, par ses quatre bits de poids faible la couleur du point immédiatement juxtaposé. La RAMB, par ses quatre bits de poids fort, définit la couleur du point suivant, enfin par ses quatre bits de poids faible, la couleur du point le plus à droite.

Schéma de codage en RAM:



Pour ce mode (CBA = 011), le gate array d'affichage effectue un transcodage (T1 T0 = 11) selon le schéma:



Quatre sérialisateurs commandés par Φ point = 4 MHz ($\Phi 1 \Phi 0 = 11$), spécialisés chacun en S, B, V, R vont délivrer sur les quatre fils correspondants l'information de teinte du point considéré.

- Exemple d'une routine simple permettant d'afficher une succession de couleurs différentes sur un même GPL, à l'adresse \$5000:

Initialisation de la RAMA et de la RAMB
pour un écran uniforme (cf. bit-map 4 couleurs)

LDA	#\$7B	Passage en mode
STA	\$E7DC	bit-map 16
LDB	#\$0C	C3 C3 C3 C3 C2 C2 C2 C2
STB	\$5000	0 0 0 0 1 1 0 0
		dans la RAMA
LDA	\$E7C3	Passage en RAMB
ANDA	#\$FE	"
STA	#E7C3	"
LDB	#\$A9	C1 C1 C1 C1 C0 C0 C0 C0
STB	\$5000	1 0 1 0 1 0 0 1
		dans la RAMB
REC	BRA	REC

Ce programme exécuté en configuration de base, affiche quatre points gris, bleu, vert, rouge de la gauche vers la droite. On en conclut que ce mode qui n'a pas de couleurs imposées mais une résolution divisée par 2, n'entraîne pas de conflit de proximité.

• *Le mode 80 colonnes*

C'est le mode permettant la plus haute résolution 640 × 200 points avec seulement deux couleurs imposées, une couleur de forme ou une couleur de fond. Le GPL est défini sur seize points. La RAMA et la RAMB ont donc le même codage et servent à mémoriser l'emplacement de la forme ou du fond.

Schéma de codage en RAM

RAMA	RAMB
F15 F14 F13 F12 F11 F10 F9 F8	F7 F6 F5 F4 F3 F2 F1 F0

La RAMA mémorise la structure des points les plus à gauche, la RAMB celle des points les plus à droite. En affichage de caractères, la RAMA contient les bits des points des caractères des colonnes paires, tandis que la RAMB contient ceux des colonnes impaires.

Le gate array d'affichage, pour ce mode (CBA = 010), n'effectue pas de transcodage (T1 T0 = 01). Il combine un sérialisateur unique de 16 bits, commandé par Φ point = 16 MHz ($\Phi1 \Phi0 = 01$). Les informations sérialisées ressortent sur les deux fils B et V reliés en parallèle. S et R étant figés à 0. En configuration de base, la couleur de forme exploitable est du bleu ciel et la couleur de fond du gris.

– Exemple de routine simple permettant d'afficher seize points, successivement en couleur de forme et couleur de fond sur un même GPL, à l'adresse \$5000.

Initialisation de la RAMA et de la RAMB
pour un écran uniforme (cf. bit-map 4 couleurs)

LDA	#\$2A	Choix du mode 80 colonnes
STA	E7DC	"
LDB	#\$AA	Alternance de forme et fond
STB	\$5000	dans la RAMB
LDA	\$E7C3	Commutation en RAMA
ORA	#\$01	"
STA	\$E7C3	"
STB	\$5000	Alternance de forme et fond dans la RAMA
REC	BRA	REC

A l'exécution de ce programme, on obtient huit points séparés, de couleur bleu ciel, sur un fond gris. Afin de rendre la démonstration plus représentative, il convient de reconfigurer la palette en changeant le gris en noir et le bleu ciel en rouge. Cette opération est implicitement réalisée par la routine PUTC, lorsque l'on fait appel à la séquence d'échappement (\$5B).

D'une toute autre manière, le gate array d'affichage permet, selon un codage particulier en RAMA et RAMB, trois modes intrinsèquement liés.

- Le mode page 1
- Le mode page 2
- Le mode superposition deux pages.

• *Le mode page 1*

Ce mode travaille en résolution 320×200 avec deux couleurs imposées. Le GPL est défini sur huit points uniquement dans la RAMA en forme et en fond.

Schéma de codage en RAM:

RAMA
F7 F6 F5 F4 F3 F2 F1 F0

Dans ce mode (CBA 100), le gate array d'affichage reprend les bits sans transcodage ($T1 T0 = 01$). Un sérialisateur commandé à la fréquence Φ point = 8 MHz ($\Phi1 \Phi0 = 00$) délivre les informations sur la sortie R, les trois autres fils étant à l'état 0.

• *Le mode page 2*

Parfaitement équivalent au précédent, il prend l'information GPL en RAMB.

Schéma de codage en RAM:

RAMB
F7 F6 F5 F4 F3 F2 F1 F0

Dans ce mode (CBA = 101) non transcodé ($T1 T0 = 01$). Le deuxième sérialisateur commandé avec Φ point = 8 MHz ($\Phi1 \Phi0 = 00$) délivre des informations sur la sortie V, les trois autres fils étant à l'état 0.

• *Le mode superposition* deux pages ou surimpression 1, permet de reprendre simultanément les deux modes précédents. Dans ce mode (CBA = 110), le gate array utilise à la fois les deux sérialisateurs et les deux sorties R, V selon la relation:

Sortie R = R _
Sortie V = V . R

Cela implique une priorité de sortie pour R (V = 0 pour R = 1) et un effet de surimpression de R sur V.

– Programme de mise en évidence des trois modes:

Initialisation de la RAMA et de la RAMB
pour un écran uniforme (cf. bit-map 4 couleurs)

	LDA	#\$24	Passage en mode page 1
	STA	\$E7DC	"
	LDB	#\$AA	Tracé d'un double GPL
	STB	\$5000	en pointillé
	STB	\$5001	dans la RAMA
	LDA	#\$25	Passage en mode page 2
	STA	\$E7DC	"
	LDA	\$E7C3	Commutation en RAMB
	ANDA	#\$FE	"
	STA	\$E7C3	"
	LDB	#\$FF	Tracé d'un double GPL
	STB	\$50001	en continu
	STB	\$50002	dans la RAMB
REPB	JSR	\$E806	Boucle d'attente
	CMPB	#\$41	du caractère A
	BNE	REPB	"
	LDA	#\$24	Passage en mode page 1
	STA	\$E7DC	"
REPA	JSR	\$E806	Boucle d'attente
	CMPB	#\$53	du caractère S
	BNE	REPA	"
	LDA	#\$26	Passage en mode
	STA	\$E7DC	superposition

REPS	JSR	\$E806	Boucle d'attente
	CMPB	#\$42	du caractère B
	BNE	REPS	"
	LDA	#\$25	Passage en mode page 2
	STA	\$E7DC	"
	JMP	REP B	Reprise

Lors de l'exécution en configuration de base, on affiche sur l'écran gris un double GPL en continu vert clair. En appuyant sur la touche A, on affiche un double GPL en pointillé rose. En appuyant sur la touche S, on affiche les deux GPL, le rose empiétant sur le vert clair. La touche B permet de revenir à l'état initial.

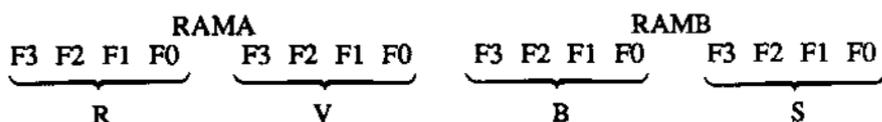
Afin d'obtenir une représentation plus apparente, il convient de reconfigurer la palette et de la transformer, de telle sorte que le gris devienne noir, le rose devienne rouge, le vert clair devienne vert saturé. Cette action est implicitement apportée par les séquences d'échappement (\$48, \$49, \$4A ou \$4B) inhérentes à la routine PUTC.

Conclusion: L'avantage de ces modes est de pouvoir offrir des pages indépendantes. Pendant l'affichage d'une page, l'autre peut être écrite et présentée ensuite par simple commutation. Le mode surimpression permet de superposer les deux pages en continuant d'écrire dans l'une ou l'autre.

• Mode particulier

Le mode triple surimpression ou quatre pages superposées est un mode particulier permettant d'associer des plans avec une priorité à l'affichage, pour une résolution de 160 x 200 points et cinq couleurs imposées. Le GPL est donc conçu sur quatre points. En configuration de base, chaque point de gauche à droite a sa couleur de forme définie soit en rose, soit en vert clair, soit en bleu clair, soit enfin en noir, avec une couleur de fond gris.

Schéma de codage en RAM:



Pour ce mode (CBA = 111), le gate array d'affichage n'effectue pas de transcodage (T1 T0 = 01). Quatre sérialisateurs spécialisés chacun en R, V, B, S

et commandés par Φ point = 4 MHz ($\Phi 1 \Phi 0 = 11$) vont délivrer en correspondance de R, de V, de B et de S les informations de teinte du point considéré selon l'effet de masquage ou de priorité suivant:

Sortie R = R

Sortie V = V \bar{R}

Sortie B = B $\bar{V} \bar{R}$

Sortie S = S $\bar{B} \bar{V} \bar{R}$

Programme représentatif du mode:

Initialisation de la RAMA et de la RAMB
pour un écran uniforme (cf. bit-map 4 couleurs)

	LDA	#\$3F	Passage du mode	
	STA	SE7DC	"	
DEB	LDB	#\$0F	RAMA	RAMB
	STB	\$5000	0 0	0 S
	JSR	ATT		
	LDB	#\$FF	RAMA	RAMB
	STB	\$5000	0 0	B S
	JSR	ATT		
	LDA	SE7C3	Commutation en RAMA	
	ORA	#\$01	"	
	STA	SE7C3	"	
	LDB	#\$0F	RAMA	RAMB
	STB	\$5000	0 V	B S
	JSR	ATT		
	LDB	#\$F0	RAMA	RAMB
	STB	\$5000	R 0	B S
	JSR	ATT		
	ANDA	#\$FE	Commutation en RAMB	
	STA	SE7C3	"	
	JMP	DEB	Reprise	

ATT	JSR	\$E806	Boucle d'attente du
	CMPB	#\$20	caractère espace
	BNE	ATT	"
	RTS		"

Ce programme met en évidence le principe de superposition appliqué dans ce mode de fonctionnement. En configuration de base, après avoir tracé un GPL en noir sur fond gris, en appuyant sur la touche espace le même GPL devient bleu clair (S masqué); en appuyant encore sur la touche espace, le GPL devient vert pâle (S et B masqués) puis en appuyant de nouveau il devient rose (S, B, V masqués). Le fait de relancer à nouveau l'expérience en appuyant plusieurs fois sur la barre espace, démontre que S et B restent définitivement masqués par la présence de R ou V dans la RAMA.

Circuit de palette

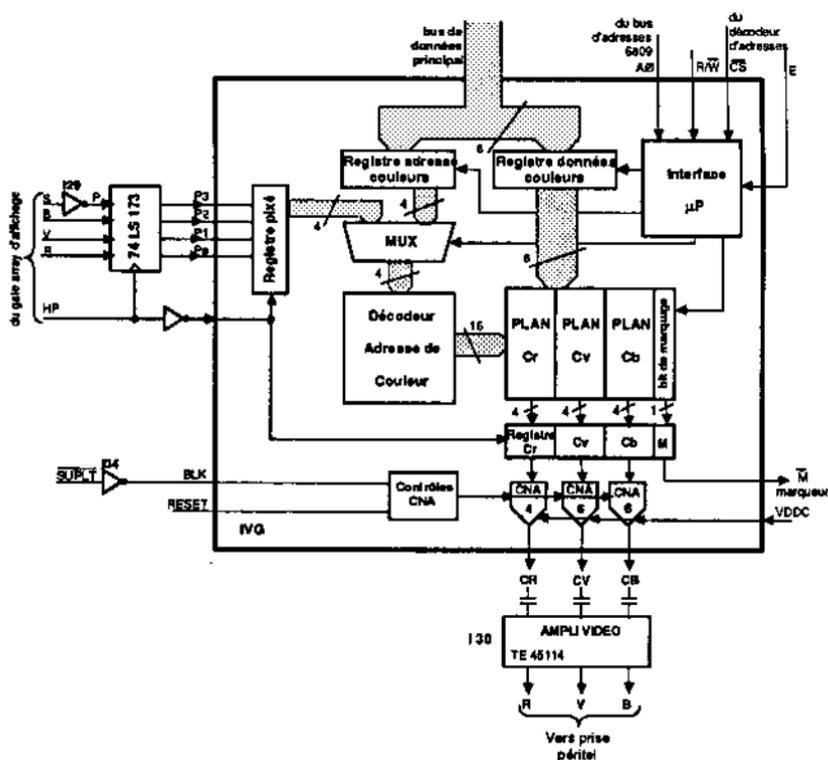


Figure 9. Circuit de palette. Utilisation de l'ITVG 9369

Le système de palette I-28 utilise le circuit IGV EF 9369 de chez EFCIS. Son principal rôle est de pouvoir augmenter le nombre de teintes parmi les seize disponibles en configuration de base, sans pour autant intervenir sur les plans RAMA et RAMB. Il permet un choix de seize teintes parmi une palette de 4 096.

Description fonctionnelle de l'IGV

Il remplit les fonctions suivantes:

- Mémoire de couleur réinscriptible.
- Conversion numérique analogique des fondamentales R, V, B et mise aux normes péritelévision.
- Interfaçage avec le microprocesseur.

• Mémoire de couleur

C'est une mémoire vive de 16 mots de 13 bits (4 bits par fondamentale + 1 bit de marquage). Elle est accessible en adressage de deux manières:

- En lecture seulement par le système graphique (gate array d'affichage) à travers un latch 4 bits 74 LS 173 et un inverseur pour transformer le bit de saturation en bit pastel. La synchronisation ou validation est effectuée par l'horloge HP (image de Φ point). De cette manière, le circuit effectue la transposition des informations couleurs entre la mémoire écran et la prise péritel.
- Prioritairement, en lecture-écriture, par le 6809 E via l'interface microprocesseur, permettant ainsi de reconfigurer les couleurs et de fixer la couleur de transparence pour l'incrustation par l'intermédiaire du bit de marquage M (sortie marqueur).

• Convertisseur numérique analogique

Il délivre seize niveaux de tension différents par fondamentale (sorties CR, CV, CB) ce qui permet une gamme de $16 \times 16 \times 16 = 4\ 096$ teintes. Les tensions de sorties s'échelonnent entre 0,8 V pour le niveau le plus bas et 1,8 V pour le niveau le plus haut. Ces tensions sont amplifiées de 6 dB par le circuit I-30 (TEA 5114) avec un OFFSET de 2 V pour attaquer la prise SCART.

Un contrôleur de CNA reçoit la commande de blanking (SUPLT) en provenance du gate array principal, fixant le niveau du noir pendant le retour ligne et trame. La commande de RESET force les sorties au niveau de noir jusqu'à l'accès microprocesseur suivant.

• *L'interfaçage avec le 6809 E se fait par la commande CSN active. Ainsi, pour A0 = 0, le bus de données principal communique avec le registre de données couleurs représentant le contenu du plan mémoire. Pour l'entrée A0 = 1, le bus de données communique avec le registre d'adresses couleurs du plan mémoire. Le registre d'adresses couleurs offre alors la possibilité d'un adressage auto-incrémentable modulo 32 (écriture ou lecture du plan mémoire entier en 33 cycles micro).*

Ainsi, un accès au registre de données incrémente automatiquement le registre d'adresse et, lors d'une programmation complète de la palette, il n'est pas nécessaire de venir réécrire le registre d'adresses.

Programmation de la palette

- La programmation du registre de données (désignation PALETTE) se fait à l'adresse E7DA en deux écritures ou deux lectures de $2 \times 8 = 16$ bits (dont 13 bits actifs), par auto-incrémentation du registre d'adresses selon la forme:

Première adresse	V V V V fondamentale V	R R R R fondamentale R
Deuxième adresse auto-incrémentée	X X X M bit de marquage	B B B B fondamentale B

et en sachant que:

RRRR = 1111 représente la fondamentale "rouge"

RRRR = 0000 représente le niveau du noir

VVVV = 1111 représente la fondamentale "vert"

VVVV = 0000 représente le niveau du noir

BBBB = 1111 représente la fondamentale "bleu"

BBBB = 0000 représente le niveau du noir.

Toutes les autres combinaisons représentent des couleurs intermédiaires en intensité et saturation.

En relation avec le registre de données, la programmation du registre d'adresses couleurs (désignation PALETTE + 1) se fait à l'adresse CPU E7DB par une écriture ou une lecture du numéro de couleur qu'il faut veiller à transformer en adresse de plan mémoire sur 8 bits (une adresse couleur représentant deux adresses physiques successives par auto-incrémentation), selon la forme:

Adresse couleur ou numéro de couleur	Adresse plan mémoire
0	00
1	02
2	04
3	06
4	08
5	0A
6	0C
7	0E
8	10
9	12
A	14
B	16
C	18
D	1A
E	1C
F	1E

Exemple simple de programmation de la palette:

LDA	#\$03	Désignation de la couleur jaune
ASLA		Transformation d'adresse (2×3)
STA	\$E7DB	Stockage dans le registre d'adresses
LDD	#\$0FFF	Choix du blanc saturé
STB	\$E7DA	Stockage dans le registre de
STA	\$E7DA	données avec auto-incrémentation
SWI		

Ce programme permet de fixer la couleur numéro 3 en blanc, ce qui revient à dire que l'on transforme le jaune de la configuration de base en blanc.

Circuit d'incrustation

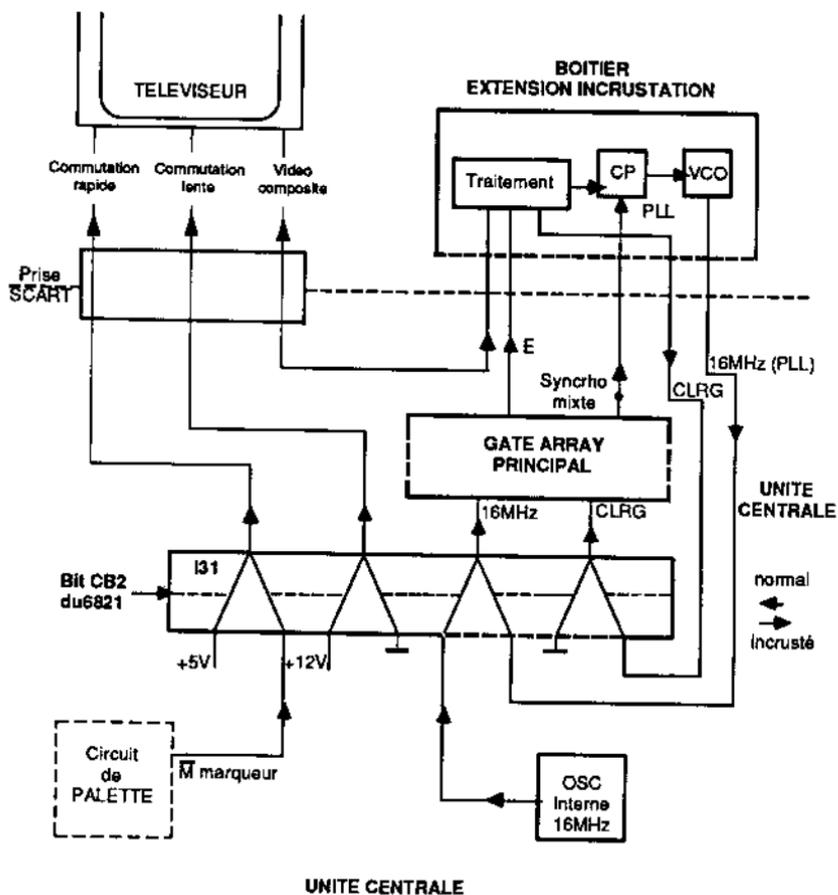


Figure 10. Circuits internes d'incrustation

Le but de l'incrustation est de superposer une image micro ordinateur sur une image vidéo (antenne ou magnétoscope). Le principe général du système est de permuter, par logiciel, la commande de commutation rapide (distribution des sorties RVB) de façon à ce que, pour toute génération d'images de la part du micro-ordinateur, pour chaque couleur dont le bit de marquage est positionné, l'image vidéo vienne se placer en substitution.

Il est aussi nécessaire d'asservir la synchronisation ligne du TO9 sur celle de la source vidéo (utilisation d'un VCO et d'une boucle à verrouillage de phase). De même, l'ordinateur fonctionnant en 624 lignes, il est indispensable de rattraper l'équivalent d'une demi-ligne pour chaque trame, afin de rester en concordance avec la source vidéo fonctionnant en 625 lignes (génération d'un signal de remise à l'heure CLRG).

Le VCO, le PLL et la commande CLRG sont situés dans un boîtier d'extension "incrustation". La figure 10 regroupe les principaux circuits internes à l'unité centrale, en relation avec l'incrustation.

Le passage en mode incrusté est réalisé par la commutation du bit CB2 (broche 12 du 6821, circuit I-43). Le signal obtenu, calé en phase avec E, vient commander un aiguilleur (multiplexeur 1-2 à 4 voies).

Ainsi, pour CB2 = 1:

Le système est en mode normal. Il reçoit les 16 MHz de l'oscillateur interne. Il génère du + 12 V pour la commutation lente, du + 5 V pour la commutation rapide.

Pour CB2 = 0:

Le système est en mode incrusté. Il reçoit les 16 MHz en provenance du VCO dans le boîtier d'incrustation. Il reçoit la commande CLRG activant l'entrée SYCL2 du gate array principal (remise à l'heure des compteurs lignes et trames). La commutation rapide est modulée par le marqueur (image vidéo pour l'état 0). La commutation lente est supprimée, la synchronisation mixte de l'ordinateur étant en phase avec la synchronisation TV. Le son du téléviseur est alors commuté.

6. Les interfaces parallèles

Le TO9 utilise deux circuits fondamentaux: le 6846 et le 6821 avec un environnement bien spécifique.

Utilisation du 6846: circuit I-41

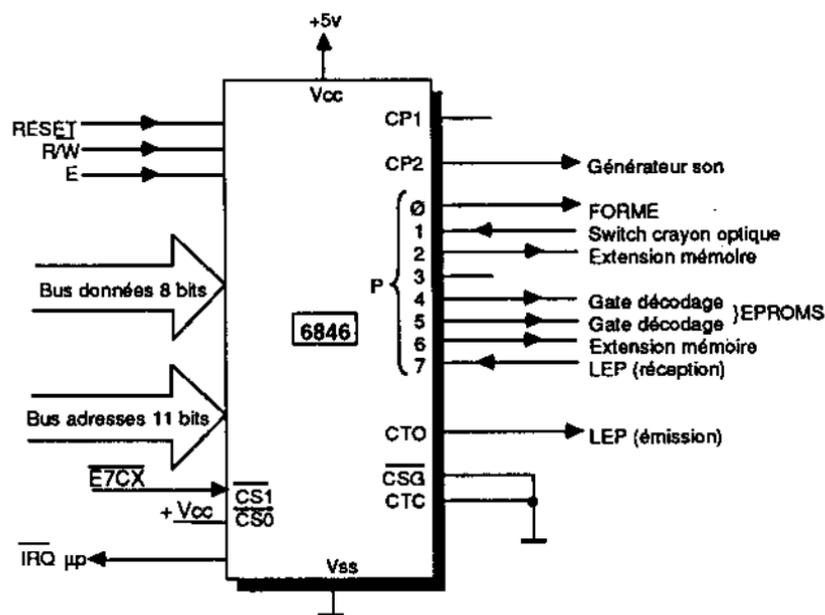


Figure 11. Le 6846 dans le TO9

Description fonctionnelle

- Le port 8 bits du 6846, appelé port C, a par initialisation cinq lignes P0, P2, P4, P5, P6, configurées en sorties et deux autres P1, P7, en entrées. Le bit P3 n'est pas utilisé.

P0 représente le bit de forme pour la commutation des plans mémoire RAMA ou RAMB.

P1 reçoit l'information de l'interrupteur du crayon optique. Un niveau 1 est présent lorsqu'il est activé.

P2 et P6 sont employés pour la commutation des banques de la mémoire extension disque virtuel.

P4 et P5 sont utilisés pour la commutation des EPROMS à travers le gate array de décodage d'adresses I-47.

P7 reçoit les informations numériques décodées, en lecture, du magnétophone LEP. Ce bit sert de test pour le programme d'initialisation de façon à savoir si le magnétophone est présent ou non (niveau 1 lorsqu'il est branché moteur arrêté).

– La ligne de contrôle CP2 est employée seule. Initialisée en sortie elle assure la génération du son, via le mélangeur.

– Le TIMER a un double rôle: en fonctionnement normal, il sert, par des demandes d'interruptions successives (sortie IRQ) toutes les 100 ms, à commander le clignotement du curseur. En utilisation du LEP, il code et fournit les informations numériques à enregistrer sur le magnétophone par la sortie CT0. Les informations digitales sont codées en salve de fréquences:

5 périodes à 4,5 KHz pour le bit 0

7 périodes à 6,3 KHz pour le bit 1

Ce procédé effectue une transmission sérialisée asynchrone à 900 bauds.

Adresses des registres internes

E7C0 - registre d'état composite (CSR)

E7C1 - registre de contrôle périphérique (CRC)

E7C2 - registre de direction de données (DDRC)

E7C3 - registre de données périphériques (PRC)

E7C4 - registre d'état composite (CSR)

E7C5 - registre contrôle temporisateur (TCR)

E7C6 - registre temporisateur d'octet de poids fort (TMSB)

E7C7 - registre temporisateur d'octet de poids faible (TLSB)

Utilisation du 6821 dans le TO9: circuit I-43

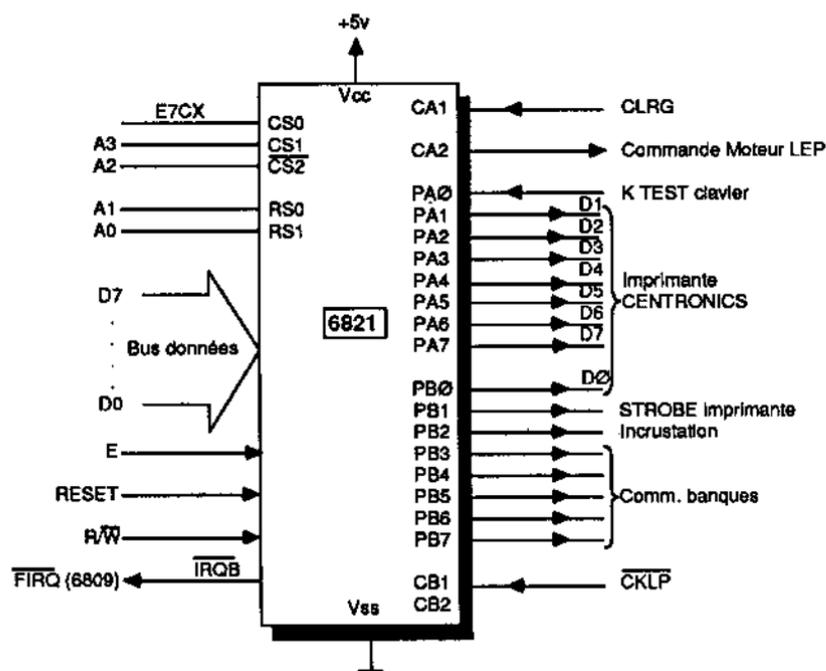


Figure 12. Le 6821 dans le TO9

Description fonctionnelle

Le 6821 sert à l'interfaçage d'une imprimante du type huit bits "parallèle" en mode CENTRONICS. Sept bits du port A sont utilisés à cet effet ainsi que deux bits du port B. Les lignes, configurées en sortie, servent au transfert des données sur huit bits et la commande de prise en compte STROBE (en PB1) qui est active à l'état 0. Les routines de gestion imprimante autorisent une émission de données, à condition que le signal "BUSY" en provenance de l'imprimante ne soit pas actif, c'est-à-dire, à l'état 0. Un test est effectué à partir de l'entrée CTSN de l'ACIA 6850 (circuit I-54).

La ligne PA0 reçoit une information KTEST en provenance du clavier. Ce dernier envoie un état 1 durable à chaque appui sur une touche. Ce bit est repris par la routine moniteur KTST permettant une vérification rapide d'une demande clavier (système anti-rebond).

PB2 est la commande d'incrustation active à 0. Elle reste à l'état bas lorsque l'utilisateur passe en mode incrustation.

PB3 à PB7 sont les bits de commutation de banque mémoire. Le programme d'initialisation fixe PB3 en sortie à l'état 0 et PB4, PB5, PB6, PB7 en entrée à l'état 1 par la présence de résistances de PULL UP (cf. Système de mémorisation).

Les lignes de contrôle ont chacune une application bien spécifique:

- CA1 reçoit le signal de remise à l'heure de l'éventuel boîtier d'incrustation. Il sert uniquement à positionner le *flag* du registre de contrôle CRA afin d'opérer une protection lorsqu'une demande d'incrustation est effectuée sans le boîtier.

- CA2 est en sortie. Active à l'état 0, elle permet de télécommander la mise en route du moteur LEP.

- CB1 reçoit la demande d'interruption lorsqu'une visée est effectuée sur l'écran par l'intermédiaire du crayon optique. La routine moniteur GETL/TP prend en compte cette demande et démasque la sortie IRQN pour la transmettre en FIRQN sur le 6809 (cf. Gestion du crayon optique).

- CB2 n'est pas utilisé.

Adresses des registres internes:

E7C8 - registre de direction de données ou registre de données partie A (PRA)

E7C9 - registre de direction de données ou registre de données partie B (PRB)

E7CA - registre de contrôle partie A (CRA)

E7CB - registre de contrôle partie B (CRB).

7. La gestion du clavier et des périphériques

Le clavier est géré à partir d'un microprocesseur monochip du type 6805. Ce dernier est en liaison série avec l'unité centrale par l'intermédiaire d'un circuit d'interface série: l'ACIA 6850.

Utilisation du 6850 dans le TO9

La figure 13 (page suivante) met en évidence le rôle du 6850 en relation avec le microprocesseur du clavier.

Description

De par le décodage d'adresses envoyé sur l'entrée CS2 et la commande lecture-écriture R/WN, la situation des registres internes est telle que:

Adresse	R/WN	Registre sélectionné
E7DE	0	CR (contrôle)
E7DE	1	SR (état)
E7DF	0	TDR (émission)
E7DF	1	RDR (réception)

L'horloge est commune pour l'émission et la réception (TXC et RXC reliés ensemble). Cette horloge oscille à une fréquence d'environ 145 KHz après division du 16 MHz par un compteur asynchrone dans un rapport $16 \times 7 = 112$. Le registre de contrôle est programmé pour une prédivision interne de 16, ce qui permet une transmission à 9 600 bauds. L'unité centrale échange des informations avec le microprocesseur (monochip) du clavier dans les deux sens, soit en émission par TXD, soit en réception par RXD.

Avant la prise en compte d'un caractère envoyé, le logiciel de gestion clavier, fait un test rapide du bit PA0 du 6821 qui reçoit la commande KTEST. Ce bit passe à 1, lorsque l'on appuie sur une touche. La routine moniteur KTST force alors le bit C du registre d'état 6809 E à 1.

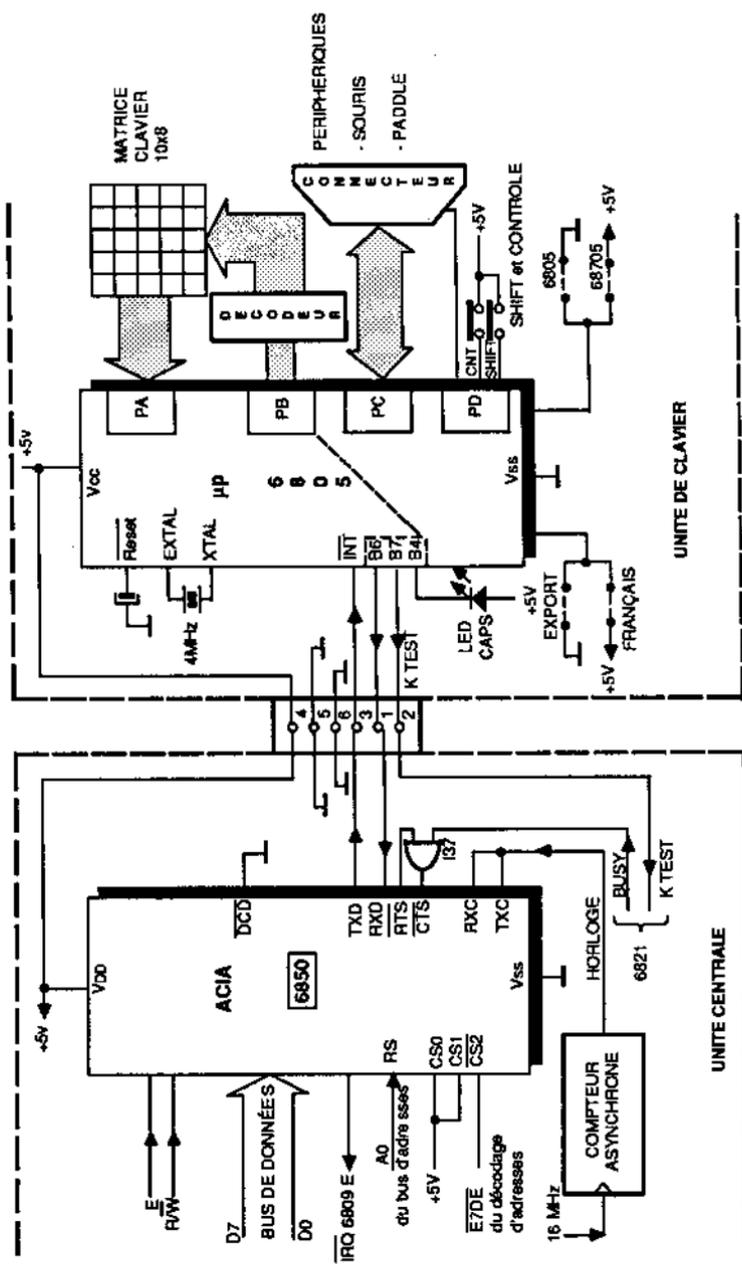


Figure 13. Structure matérielle du fonctionnement du clavier dans le TO9

En fonctionnement normal, le registre de commande est configuré pour maintenir RTSN à l'état 0, ce qui impose, via la porte I-37, CTSN = 0 et indique par là-même que le périphérique est toujours prêt à émettre.

En attente d'appui sur une touche, le contenu du registre d'état est de 02, précisant notamment que les registres de réception et d'émission sont vides.

Le 6850 a un rôle annexe, consistant à récupérer le signal BUSY de l'imprimante CENTRONICS commandée par le 6821. En gestion imprimante parallèle, les routines correspondantes forcent RTSN au niveau 1 et viennent alors tester l'état de CTSN dans le registre SR.

Le clavier

Présentation

L'ensemble clavier du TO9 est séparé de l'unité centrale et y est relié par un cordon spirale à 6 conducteurs. Ce clavier comporte 81 touches à répétition automatique et est muni d'une prise SUB-9 broches permettant de connecter les périphériques d'entrée, tels que souris et potentiomètres de commande (*paddle*).

Il est équipé d'un microprocesseur monochip du type 6805, chargé de la scrutation des touches, de la reconnaissance et du traitement de données fournies par les périphériques. Le monochip est commandé par une horloge autonome à 4 MHz.

Les touches du clavier sont organisées en matrice de 10 lignes et 8 colonnes. Les 10 lignes sont commandées, via un décodeur (4 vers 10), par le port B du microprocesseur. Les 8 colonnes sont appliquées sur le port A du microprocesseur.

Lorsqu'une touche est pressée, une liaison est établie entre une ligne et une colonne. Le microprocesseur détecte ce changement d'état et positionne alors les 10 lignes à 0 V, l'une après l'autre. Lorsque la ligne concernée passe à 0, la colonne passe également à 0 et le microprocesseur connaît alors l'emplacement de la touche.

Les touches shift () et contrôle (CNT) sont appliquées directement sur le port d'entrée D.

Le voyant associé à la touche verrouillage majuscule (CAPS) est commandé par une sortie de port B qui est capable d'alimenter directement une diode LED ($I = 10\text{mA}$).

Les périphériques sont reliés par l'intermédiaire de la prise correspondante au port C.

Un strap permet de monter, soit un microprocesseur 6805 masqué, soit un microprocesseur 68705 (utilisation d'une EPROM). Un autre strap permet de choisir la configuration du clavier, français ou export.

Signaux échangés avec l'unité centrale

• Signaux reçus par le clavier

L'unité centrale est capable de modifier certaines fonctions du clavier, telles que réinitialisation, commande majuscule-minuscule, autorisation de périphériques, en envoyant un mot série (UC -> Clavier).

Ce mot est constitué par:

- 1 bit de start
- 3 bits de données
- 1 bit de stop.

La vitesse de transmission est de 9 600 bauds.

L'unité centrale utilisant l'ACIA pour envoyer ces commandes, le code est donc constitué de 8 bits. Seuls les 3 bits de poids faible sont utilisés, les autres sont toujours à l'état haut.

• Signaux émis vers l'unité centrale

Le clavier envoie vers l'unité centrale, des informations sous forme d'octets, transmis en série avec le format suivant:

- 1 bit de start
- 8 bits de données ou octet (code ASCII)
- 1 bit de parité (indicateur)
- 3 bits de stop.

La vitesse de transmission est de 9 600 bauds.

Le bit de parité sert d'indicateur pour différencier les codes clavier des codes périphériques. Les 3 bits de stop permettent d'obtenir un écart de temps minimum entre deux mots consécutifs. Les informations sont transmises de la manière suivante:

• *Mode clavier seul*

Un octet est envoyé à chaque appui d'une touche. Si cette touche reste enfoncée, après un délai de 0,8 secondes, le code est envoyé toutes les 70 milli-secondes (répétition automatique). Si deux touches sont pressées simultanément, les deux codes sont envoyés successivement. Dans ce cas, la répétition automatique est inhibée, et ceci tant que les deux touches (ou plus de deux) sont enfoncées.

• *Mode périphérique*

Lorsqu'un périphérique est connecté et actif, les informations transmises à l'unité centrale sont composées de trains de quatre octets successifs qui se répètent toutes les 10 milli-secondes. Ce train est organisé de la façon suivante:

- 1er octet: Code clavier

Cet octet vaut 00, si aucun code clavier n'est envoyé. La parité de cet octet est impaire (bit de parité = 1, si le nombre de bits à 1 est impair). Si le clavier est en répétition automatique, le code est envoyé toutes les 70 milli-secondes, c'est-à-dire, une fois tous les 7 trains.

- 2ème octet: Valeur du déplacement (boule ou potentiomètre) en X

Cet octet varie de 00 à \$FF. La parité est paire.

- 3ème octet: Valeur du déplacement (boule ou potentiomètre) en Y

Cet octet varie de 00 à \$FF. La parité est paire.

- 4ème octet: Dépassement et gachettes

La parité est paire. La désignation est la suivante:

bit 7: dépassement Y

bit 6: dépassement X

bit 5:

bit 4:

bit 3:

bit 2: gachette 2

bit 1:

bit 0: gachette 1

En conclusion, le bit de parité utilisé comme indicateur est impair uniquement pour le code clavier. Cela permet la synchronisation des données à la réception par l'unité centrale.

8. Gestion du crayon optique

Fonctionnement du crayon optique

Le crayon optique est constitué de deux éléments séparés.

- Un interrupteur de validation tactile.
- Un phototransistor de détection optique du spot sur l'écran.

Son action est dirigée à partir de diverses routines situées dans le moniteur (voir page 200).

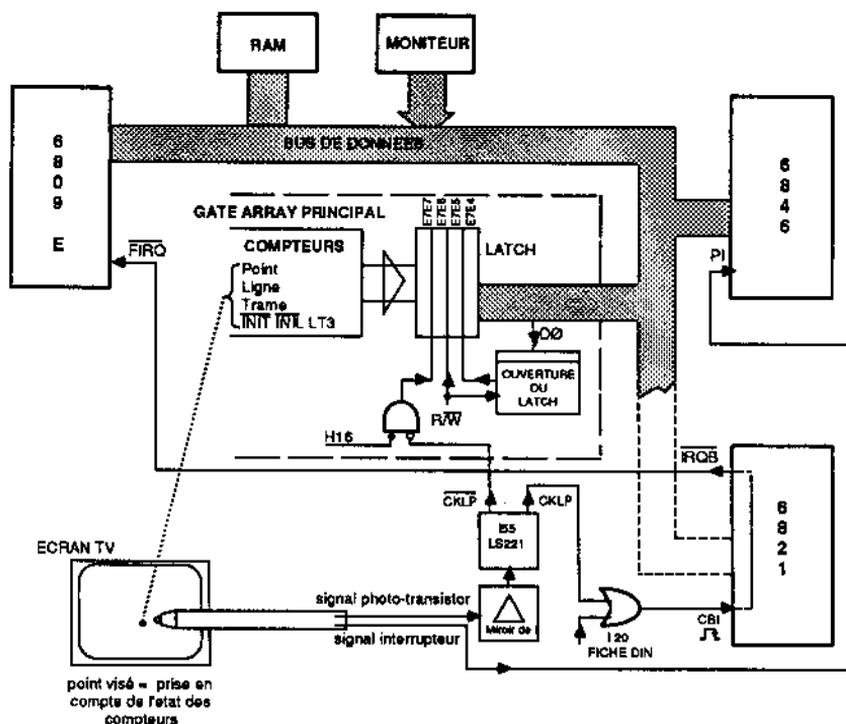


Figure 14. Synoptique du fonctionnement du crayon optique dans le T09

Fonctionnement de l'interrupteur

En effectuant une pression sur l'écran avec le crayon optique, on ferme l'interrupteur de ce dernier sur la tension d'alimentation + 5 V. Cet état haut résultant vient informer le bit P1 du port du 6846.

En logiciel, ce bit à 1 est repris par la routine LPINT du moniteur qui, après un test "anti-rebond", force le bit de carry du 6809 conjointement à 1.

Fonctionnement du phototransistor

Lorsque l'écran du téléviseur reçoit, via la prise péritel, une information RVB, il n'est conçu, au même instant, qu'un point sur l'écran. S'il est dans la fenêtre de visualisation, ce point appartient à un GPL dont l'adresse est présente, toujours à cet instant, dans les compteurs lignes et trame du gate array principal. Si face à ce point, on place le phototransistor, ce dernier va émettre une information récupérée en tension, amplifiée (circuit à miroir de courant) et mise en forme par un monostable (circuit I-55), d'où résulte une impulsion calibrée à 700 ns. Cette impulsion est aiguillée en deux directions CKLPN et CKLP.

• Action de CKLPN = CKLP

CKLPN attaque le gate array principal dans le but de lacher l'état des compteurs points, lignes et trame. Pour ce faire, le signal est découpé par la fréquence de l'horloge mère à 16 MHz, ce qui permet la reconnaissance des compteurs points. En fait, l'opération générale du stockage des compteurs points, lignes et trame, ne pourra se faire que par un ordre du 6809. Le CPU doit envoyer en écriture, par l'intermédiaire du bit D0 à l'état 1 et à l'adresse E7E4, une demande d'ouverture ou de prise en compte dont la finalité est de rendre CKLPN actif. Cette opération doit être effectuée avant l'arrivée de ce signal.

• Action du CKLP

CKLP, via une porte "OU" susceptible de recevoir des informations d'un éventuel codage à barres, correspond à une demande d'interruption sur l'entrée de la ligne de contrôle CB1 du 6821. Après autorisation, cette demande d'interruption est dirigée sur la borne FIRQN du 6809. La sous-routine d'interruption correspondante "INTERLP" du moniteur assure la prise en compte, en lecture du latch gate array principal, de l'état des compteurs. La lecture s'effectue sur les quatre adresses des flip-flop E7E4 E7E5 E7E6 E7E7 selon la forme suivante:

Adresses du latch	Bus de données en correspondance							
	D7	D6	D5	D4	D3	D2	D1	D0
E7E4	T12	T11	T10	T9	T8	T7	T6	T5
E7E5	T4	T3	TL2	TL1	TL0	E	H2	H4
E7E6	LT3	INILN	0	0	0	0	0	0
E7E7	<u>INITN</u>	INITN	0	0	0	0	0	1

indépendant de CKLP (non laché)

• Action générale

Aux adresses E7E4 - E7E5, la connaissance de l'état de l'ensemble des compteurs points, lignes et trames (H4 à T12) permet à la routine principale GETLTP (routine appelée par l'utilisateur) de transcrire, pour le point visé, l'acquisition effectuée en coordonnées X et Y de la fenêtre de visualisation. Cette routine applique la formule suivante:

$Y = \text{acquisition} / 320$

X = reste de la division

A l'adresse E7E6, INILN indique si la mesure du crayon optique s'est effectuée dans la partie horizontale active de la fenêtre ou dans les bords droit ou gauche. A la même adresse, LT3 permet, dans le cas d'une mesure horizontalement en dehors de la fenêtre, de distinguer le bord droit ou gauche du tour de l'écran.

A l'adresse E7E7, INITN, laché par CKLP (bit de poids 6), est testé dans la sous routine INTLP pour savoir si la visée s'est effectuée dans la portion verticale active de la fenêtre de visualisation ou dans les bords supérieur ou inférieur du tour de l'écran. A la même adresse, INITN, (bit de poids 7) non laché par CKLP et image du signal de construction de la fenêtre en trame, permet à la routine principale GETLTP d'attendre la remise à zéro des compteurs pour tenter une acquisition.

Selon la distance du crayon optique à l'écran, le système prévoit une prise en compte d'un nombre plus ou moins grand de mesures (8 au maximum, 2 au minimum), les résultats étant placés dans un buffer.

9. L'exploitation du lecteur-enregistreur de disques

Description

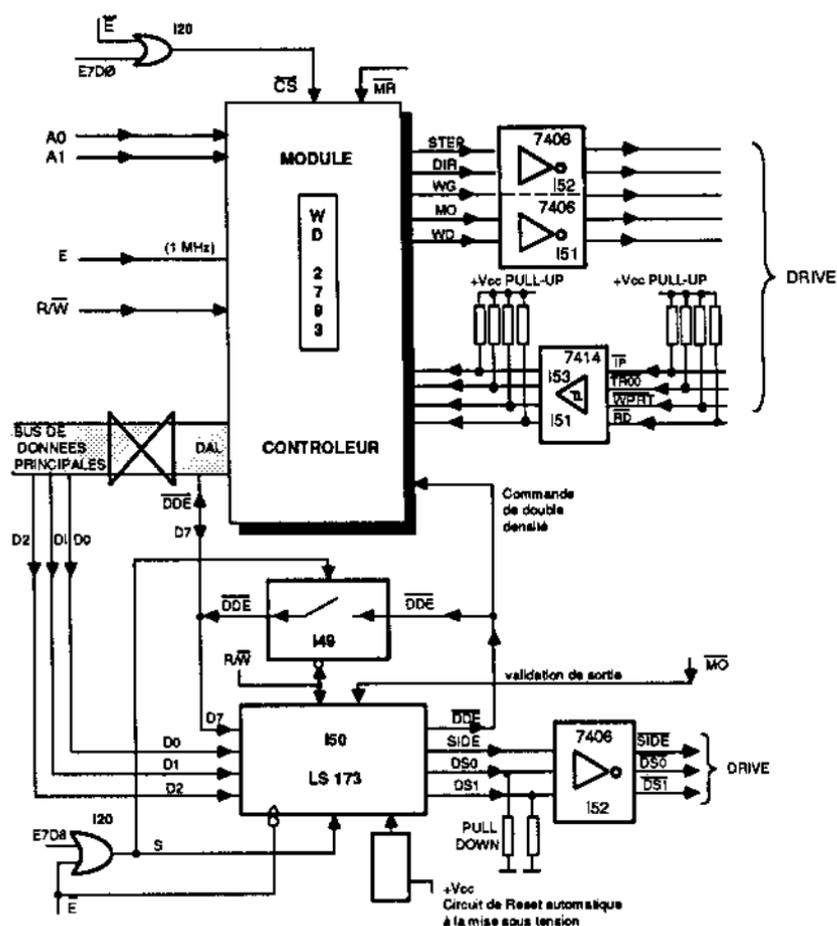


Figure 15. Contrôle du lecteur-enregistreur de disquettes dans le TO9

L'appareil est composé, sous forme d'un module approprié, par un circuit d'interface, contrôleur de disques WD 2793 (WESTERN DIGITAL). Il est destiné à adapter les caractéristiques électriques et mécaniques du lecteur-enregistreur de disquettes, (DRIVE ou FLOPPY) 3,5 pouces, à l'unité centrale. Il remplace avantageusement le WD 1770 dont les premières versions du TO9 étaient pourvues.

La figure 15 (page précédente) représente et schématise les différentes commandes liées au CPU et au DRIVE. Ces commandes peuvent être répertoriées selon la description suivante:

- Liaison CPU

$\overline{\text{CS}}$	assure la sélection du boîtier et, à travers l'action d'un monostable interne au module, la mise en marche du moteur du lecteur (commande MO).
A0 et A1	permettent la sélection des registres internes.
R/WN	est la commande de lecture-écriture.
DAL	constitue le bus de données bidirectionnel, en relation avec le CPU, pour faire transiter les mots de commande et d'état.
E	assure le synchronisme du transfert des données.

- Commandes mécaniques

En sortie:

$\overline{\text{STEP}}$	commande du moteur pas à pas.
$\overline{\text{DIR}}$	commande de direction du moteur pas à pas.
$\overline{\text{WG}}$	commande de validation d'écriture.
MO	commande du moteur d'entraînement de la disquette.

En entrée:

$\overline{\text{IP}}$	détection d'index.
$\overline{\text{TROO}}$	détection de la piste 0.
$\overline{\text{WPRT}}$	détection de la protection en écriture.

- Transfert des données

$\overline{\text{RD}}$	ligne de transmission en lecture.
WD	ligne de transmission en écriture.

- Commande d'initialisation

$\overline{\text{MR}}$	MASTER RESET, en liaison avec le RESET du CPU.
------------------------	--

Fonctionnement général

Le contrôleur est commandé par l'action de la porte OU (I-20) et de celle du décodage d'adresses combiné avec A0 et A1. Ainsi, il est sélectionné pour E = 1 aux quatre adresses E7D0, E7D1, E7D2, E7D3.

Un monostable redéclenchable (74 LS 122) interne au module, activé par le décodage d'adresses, assure la mise en marche du moteur pendant tout le temps où le 6809 travaille en relation avec le lecteur. La commande résultante de mise en marche du moteur vient informer l'entrée "READY" du contrôleur.

- Le latch I-50 (74 LS 173) associé à un ensemble de portes tristates (I-49) réalise un registre de commande de drive et de choix de densité. De par le montage, ce registre est accessible en écriture à l'adresse E7D8 pour E = 1. L'opération d'écriture est réalisable sous la forme:

$\overline{\text{DDE}}$ X X X X DS1 DS0 SIDE

avec $\overline{\text{DDE}}$: Choix de densité

$\overline{\text{DDE}} = 1$ simple densité

$\overline{\text{DDE}} = 0$ double densité

avec DS1 et DS0 - commande de drive et SIDE commande de face.

La gestion du système présente la particularité suivante: Une face de disquette correspond à un numéro de lecteur. Ainsi, les numéros 0 et 1 font partie du drive intégré au TO9 (1 est inexploitable) 2 et 3 font partie d'un drive externe.

Tableau des commandes:

DS0 = 1	DS1 = 0	SIDE = 0	-> lecteur n°0
DS0 = 1	DS1 = 0	SIDE = 1	-> lecteur n°1
DS0 = 0	DS1 = 1	SIDE = 0	-> lecteur n°2
DS0 = 1	DS1 = 1	SIDE = 1	-> lecteur n°3

Le rôle de I-49 est de rendre le registre accessible en lecture pour l'information du choix de densité DDEN.

Les circuits I-51 et I-52, de structure à collecteur ouvert, combinés avec des résistances de pull up et de pull down, adaptent et bufferisent les différentes commandes entrée et sortie du WD 2793.